

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294367

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/3065
H01L 27/108
H01L 21/8242

(21)Application number : 09-103644

(71)Applicant : SONY CORP

(22)Date of filing : 21.04.1997

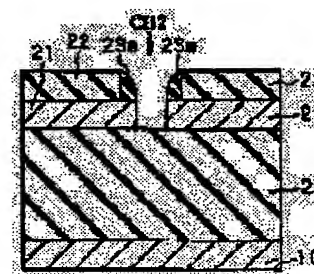
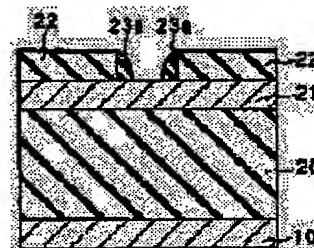
(72)Inventor : NAKANISHI YOSHIMASA
NAGAOKA KOJIRO
KIMURA TADAYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device having miniscule contacts with a reliability of wiring which does not cause short circuits of wiring or etching stops.

SOLUTION: An insulating film 20 is formed on a semiconductor substrate 10. A first mask layer 21 is formed on the insulating film 20. A second mask film 22 is formed on the first mask film 21. A first contact hole is made in the second mask layer 22. A side wall mask layer 23a is formed for reducing the diameter of the opening of the first contact hole. A second contact hole CH2 connected to the first contact hole is made in the first mask layer 21 using the second mask layer 22 and the side wall mask layer 23a as a mask. A second contact hole CH2 penetrating the insulating film is made by using the first mask layer 21 with a second contact hole as a mask. The connected first and second contact holes are filled with conductive substance to form a wiring layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

JP,10-294367,A

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this
5 translation.

1. This document has been translated by computer. So the translation may not reflect
the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

10

CLAIMS

15 [Claim(s)]

[Claim 1] The manufacture method of a semiconductor device characterized by
providing the following. The process which forms an insulator layer on a semiconductor
substrate. The process which forms the 1st mask layer on the aforementioned insulator
layer. The process which forms the 2nd mask layer in the upper layer of the
20 aforementioned 1st mask layer. The process which carries out opening of the 1st
contact hole to the aforementioned 2nd mask layer, and the process which forms in the
wall of the 1st contact hole of the above the sidewall mask layer which narrows the
diameter of opening of the 1st contact hole of the above, The process which uses the
aforementioned 2nd mask layer and the aforementioned sidewall mask layer as a mask,
25 and carries out opening of the 1st contact hole of the above, and the 2nd contact hole
open for free passage to the aforementioned 1st mask layer, The process which carries
out opening of the 2nd contact hole to which the 2nd contact hole of the above uses as

a mask the 1st mask layer by which opening was carried out, and penetrates the aforementioned insulator layer, and the process which embeds the 1st contact hole of the above which carries out a free passage, and the 2nd contact hole by the conductor, and forms a wiring layer.

5 [Claim 2] The manufacture method of a semiconductor device according to claim 1 that the process which carries out opening of the 2nd contact hole to the aforementioned 1st mask layer is a process at which the aforementioned 1st mask layer is penetrated and the aforementioned insulator layer is exposed.

10 [Claim 3] The manufacture method of the semiconductor device according to claim 1 which is the process to which the process which carries out opening of the 2nd contact hole to the aforementioned 1st mask layer carries out opening of the 2nd contact hole which penetrates the aforementioned 1st mask layer and reaches above the aforementioned insulator layer.

15 [Claim 4] The manufacture method of a semiconductor device according to claim 1 that the process which carries out opening of the 2nd contact hole which uses the aforementioned 1st mask layer as a mask, and penetrates the aforementioned insulator layer is a process which removes the aforementioned 2nd mask layer and the aforementioned sidewall mask layer simultaneously.

20 [Claim 5] The manufacture method of a semiconductor device according to claim 1 of having the process which removes the aforementioned 2nd mask layer and the aforementioned sidewall mask layer between the process which carries out opening of the 2nd contact hole to the aforementioned 1st mask layer, and the process which carries out opening of the 2nd contact hole which uses the aforementioned 1st mask layer as a mask, and penetrates the aforementioned insulator layer.

25 [Claim 6] The manufacture method of the semiconductor device according to claim 1 which forms the aforementioned 1st mask layer with the material which can take the aforementioned insulator layer and etch selectivity.

[Claim 7] The manufacture method of the semiconductor device according to claim 1 which forms the aforementioned 2nd mask layer and a sidewall mask layer with the material which can take the aforementioned 1st mask layer and etch selectivity.

5 [Claim 8] The manufacture method of the semiconductor device according to claim 7 which forms the aforementioned 1st mask layer with contest polysilicon, and forms the aforementioned 2nd mask layer and a sidewall mask layer by the silicon oxide or the silicon nitride.

10 [Claim 9] The manufacture method of the semiconductor device according to claim 7 which forms the aforementioned 1st mask layer by the silicon nitride, and forms the aforementioned 2nd mask layer and a sidewall mask layer by contest polysilicon or the silicon oxide.

15 [Claim 10] The manufacture method of the semiconductor device according to claim 1 which is the process of the opening process of the 1st contact hole of the above, and the opening process of the 2nd contact hole in which one of processes carries out opening by the plasma etching of low voltage high density at least.

[Claim 11] The manufacture method of a semiconductor device according to claim 10 that the plasma etching of the aforementioned low voltage high density is the plasma etching of either an efficient consumer response type, an ICP type or a helicon wave plasma type.

20 [Claim 12] The manufacture method of the semiconductor device formed by material characterized by providing the following. The process which forms an insulator layer on a semiconductor substrate. The process which forms a mask layer on the aforementioned insulator layer. The process which carries out opening of the 1st contact hole to the aforementioned mask layer. The process which forms in the wall of
25 the 1st contact hole of the above the sidewall mask layer which narrows the diameter of opening of the 1st contact hole of the above, The process which carries out opening of the 2nd contact hole which uses the aforementioned mask layer and the

aforementioned sidewall mask layer as a mask, and penetrates the aforementioned insulator layer, The process which embeds the 1st contact hole of the above which carries out a free passage, and the 2nd contact hole by the conductor, and forms a wiring layer, It has the process which removes the aforementioned mask layer and the
5 aforementioned sidewall mask layer, and is etch selectivity to the aforementioned wiring layer about the aforementioned mask layer and the aforementioned sidewall mask layer.

[Claim 13] The manufacture method of the semiconductor device according to claim 12 which forms the aforementioned mask layer and the aforementioned sidewall mask layer by the silicon nitride, and forms the aforementioned wiring layer with contest polysilicon.

10 [Claim 14] The manufacture method of the semiconductor device according to claim 12 which forms the aforementioned mask layer and the aforementioned sidewall mask layer with the material which can take the aforementioned insulator layer and etch selectivity.

[Claim 15] The manufacture method of the semiconductor device according to claim 14 which forms the aforementioned insulator layer by the silicon oxide, forms the
15 aforementioned mask layer and the aforementioned sidewall mask layer by the silicon nitride, and forms the aforementioned wiring layer with contest polysilicon.

[Claim 16] The manufacture method of the semiconductor device according to claim 12 which is the process of the opening process of the 1st contact hole of the above, and the opening process of the 2nd contact hole in which one of processes carries out
20 opening by the plasma etching of low voltage high density at least.

[Claim 17] The manufacture method of a semiconductor device according to claim 16 that the plasma etching of the aforementioned low voltage high density is the plasma etching of either an efficient consumer response type, an ICP type or a helicon wave plasma type.

25

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

- 5 [The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device of having detailed contact especially, about the manufacture method of a semiconductor device.

[0002]

- 10 [Description of the Prior Art] High integration of VLSI in recent years progressed to the next generation in three years, a former generation's reduction-ization 70 percent's was performed and the design rule has also realized improvement in the speed of a semiconductor device with reduction-izing. This high integration has been attained by progress of the ultra-fine processing technology in the manufacturing process of a semiconductor device, especially high resolution-ization of optical exposure technology.
- 15 It has been attained by highly efficient-ization of an aligner, resist material, and a resist process, high resolution-ization of optical exposure technology satisfying the dimensional accuracy corresponding to the design rule, and superposition precision.

- [0003] When the optical exposure technology in which pattern size was 1.0-0.5 micrometers made memory the example, it corresponded to 16MDRAMs from 1MDRAM,
- 20 and light which carries out pattern exposure was short-wavelength-ized by i line (365nm) from g line (436nm) as a big change in the meantime. Now, although LSI of 0.35-micrometer rule which used i line is the main force, with 0.25-micrometer rule, the technology exposed using a KrF excimer laser (248.8nm) is developed, and examination of mass-production-izing is performed.

- 25 [0004] However, in the aligner for 0.25-micrometer mass productions announced recently, maintenance of the trend of detailed-izing of a cell size is becoming difficult. The shortage of an improvement of dispersion in the alignment of a stepper is the

cause, and since dispersion in alignment is large, this is because the design margin of alignment must be enlarged. In spite of having reduction-ized wiring width of face as a result, reduction-izing of a cell size is difficult. Therefore, dew

[0005] As one of them, the self-adjustment contact (below Self Aligned Contact; SAC, abbreviation) technology which can make unnecessary the design margin on the mask for the alignment of a contact hole process attracts attention.

[0006] it is in the method of forming SAC which is the technology said to be able to make the design margin of this alignment unnecessary partly, and, as for all, what a process has the fault which becomes complicated somewhat in is common compared with the method only using the conventional exposure However, it is thought that the adoption is indispensable and various researches will be made about SAC in the future.

[0007] However, Si 3N4 thin to the method of putting SAC in practical use It is required to clear the high etching technology of the degree of difficulty in which etching is stopped on a film. Opposite Si 3N4 As a quantity selection-ratio process, although it changes a little also with electric discharge methods of equipment, CF system protective coat is used fundamentally, and it is SiO2. How to prevent degradation of an etch rate by using high-density plasma is considered.

[0008] However, it must be said with SAC technology being total and seeing it that there are still many technical problems. Then, a sidewall is formed in the contact hole wall of the layer used as the mask for carrying out opening of the contact hole which is known from the former, and the method of narrowing and carrying out opening of the path of a contact hole is tried.

[0009] The cross section of the semiconductor device manufactured with the application of the above-mentioned method is shown in drawing 29 . Elements, such as an MOS transistor which is not illustrated on the semiconductor substrate 10, are formed, and the insulator layer 20 which consists of a silicon oxide is formed in the upper layer. Opening of the contact hole which reaches the semiconductor substrate 10

is carried out to the insulator layer 20, it embeds in a contact hole, wiring layer 30a is embedded, and it has connected with the semiconductor substrate 10.

[0010] The manufacture method of the above-mentioned semiconductor device is explained below. First, as shown in drawing 30 (a), on the semiconductor substrate 10, elements, such as an MOS transistor which is not illustrated, are formed, after making a silicon oxide deposit on the upper layer, carrying out flattening by the reflow or etchback and forming an insulator layer 20, contest polysilicon is made to deposit and the mask layer 21 is formed. The resist film R1 which carried out patterning to the contact hole pattern of 0.4 micrometerphi is formed in the upper layer of the mask layer 21 by the excimer stepper.

[0011] Next, as shown in drawing 30 (b), RIE (reactive ion etching) etc. is etched and the 1st contact hole CH1 to which an insulator layer 20 is exposed is formed in the mask layer 21.

[0012] Next, as shown in drawing 30 (c), embed the inside of the 1st contact hole CH1 for contest polysilicon, the mask layer 21 upper surface is made to deposit on the whole surface in about 100nm thickness, and the layer 23 for sidewall masks is formed.

[0013] Next, as shown in drawing 31 (d), RIE etc. performs etchback and sidewall mask layer 23a of contest polysilicon is formed. Thereby, the diameter of opening of a contact hole can be narrowed to about 0.2 micrometerphi.

[0014] Next, as shown in drawing 31 (e), by using the mask layer 21 and sidewall mask layer 23a as a mask, RIE etc. is etched and opening of the 2nd contact hole CH2 to which an insulator layer 20 is penetrated and the semiconductor substrate 10 is exposed is carried out. By formation of sidewall mask layer 23a, the diameter of opening of the 2nd contact hole CH2 can be set to about 0.2micrometerphi.

[0015] Next, as shown in drawing 31 (f), embed the 2nd contact hole CH2, contest polysilicon is made to deposit on the whole surface, and the embedding wiring layer 30 is formed.

[0016] Next, the polysilicon contest layer which embeds, for example by etching of RIE etc., carries out etchback of the wiring layer 30, and is in the exterior of a contact hole is removed, embedding wiring layer 30a embedded at the contact hole is formed, and it results in drawing 29 .

5 [0017] According to the above-mentioned method, it differs from the above-mentioned SAC, and is opposite Si 3N4. Opening of the detailed contact hole about 0.1-0.2 micrometer [of diameters of opening] phi can be attained by applying the approach from the former that new processes, such as quantity selection-ratio conditions, are unnecessary, and clear a micro loading effect carefully.

10 [0018]

[Problem(s) to be Solved by the Invention] However, when opening of the very detailed contact hole of 0.1-0.2 micrometerphi is carried out in 0.25-micrometer rule generation using this technology, If the aspect ratio of a contact hole carries out opening of the 2nd contact hole to the equipment which becomes very high with 5-10, and is shown in
15 drawing 32 (a) The fall of the dirty rate by the micro loading effect arises, when extreme, as shown in drawing 32 (b), the phenomenon in which advance of etching stops in the dirty stop ES arises, and poor opening of a contact hole arises.

[0019] Although etching of the insulator layer 20 which consists of a silicon oxide which is opening of the 2nd above-mentioned contact hole advances by the incidence of
20 etching ion, depositing the fluorocarbon film to insulator layer 20 front face, in order that incidence ion may become unable to be able to reach even at the hole pars basilaris ossis occipitalis easily and deposition of a superfluous fluorocarbon film may suppress an etching reaction, in the contact hole of a high aspect ratio, generating of a micro loading effect or a dirty stop produces it.

25 [0020] Therefore, if etching which suppressed deposition of a fluorocarbon film is performed, although generating of a micro loading effect or a dirty stop can be suppressed, when deposition of a fluorocarbon film is suppressed, there is a problem to

which the etch selectivity of contest polysilicon to a silicon oxide becomes small. Drawing 33 (a) is an enlarged view near [in front of contact hole opening] the opening. As compared with the fluorocarbon layer FC of the upper layer of the mask layer 21 of contest polysilicon, the fluorocarbon layer FC of the upper layer of sidewall mask layer 21a has become that it is easy to ***** since thickness is thin. With advance of etching, as shown in drawing 33 (b), the sidewall mask layer and mask layer of contest polysilicon .*****, the front face retreats, and the diameter of opening of a contact hole CH is expanded. The fact that the sidewall mask layer of contest polysilicon also has low structure of etch selectivity is cited as this cause.

10 [0021] Drawing 34 and 35 etch by making the contest selection ratio for polysilicon small, and show the configuration of the semiconductor device at the time of carrying out opening of the contact hole. As shown in drawing 34 (a), it has wiring layers, such as the gate electrodes 31, such as contest polysilicon, in the upper layer of the semiconductor substrate 10, and opening of the contact hole is carried out to the
15 insulator layer 20 of the upper layer. By having made the contest selection ratio for polysilicon small, as shown in drawing 34 (b), the front face before etching of the sidewall mask layer 21a and the mask layer 21 which were shown by the dotted line in drawing will carry out retreat B, a mask layer will be thin-film-ized, and the diameter of opening will be expanded.

20 [0022] Next, if the inside of the contact hole which carried out opening, and the upper layer of a mask layer are made to deposit contest polysilicon on the whole surface, it embeds in them and the wiring layer 30 is formed as shown in drawing 35 (c), since the diameter of opening of a contact hole is expanded, the inside of a contact hole cannot fully be filled, but big depression H will arise [above the contact hole of the embedding
25 wiring layer 30]. If etchback is performed with such a situation and contest polysilicon of the exterior of a contact hole is removed, as shown in drawing 35 (d), depending on the case, the plug loss PL will become large, it may ***** to the semiconductor

substrate 10 in this etchback, a substrate can be scooped out, X may arise, and increase of contact resistance etc. will cause poor contact. Moreover, the diameter of opening of a contact hole is expanded, the distance of wiring layers, such as the gate electrode 31, and the wiring layer in a contact hole is narrow in Part S, and short-circuit of a poor proof pressure or wiring may be caused.

[0023] Although there is a method of thickening thickness of a mask layer and making retreat of the mask layer in opening etching of a contact hole suppress in order to solve the above problems, since the aspect ratio of a contact hole becomes still higher in this case, there is a possibility of making easy to cause generating of a micro loading effect or a dirty stop. Moreover, if thickness of the mask layer of contest polysilicon is thickened even when an aspect ratio is the same, the phenomenon which a dirty stop tends to produce is reported and thin film-ization of a mask layer is desired also for expansion of a margin.

[0024] It is offering the manufacture method of a semiconductor device which this invention's is made in view of the above-mentioned trouble, therefore the purpose of this invention forms a sidewall in a contact hole wall, suppresses thin-film-izing of a mask layer, and retreat of a sidewall mask layer in the method of narrowing and carrying out opening of the diameter of opening of a contact hole, and neither short-circuit of wiring nor an etching stop produces of having the detailed contact which secured the reliability of wiring.

[0025]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture method of the semiconductor device of this invention The process which forms an insulator layer on a semiconductor substrate, and the process which forms the 1st mask layer on the aforementioned insulator layer, The process which forms the 2nd mask layer in the upper layer of the aforementioned 1st mask layer, and the process which carries out opening of the 1st contact hole to the aforementioned 2nd mask layer,

The process which forms in the wall of the 1st contact hole of the above the sidewall mask layer which narrows the diameter of opening of the 1st contact hole of the above, The process which uses the aforementioned 2nd mask layer and the aforementioned sidewall mask layer as a mask, and carries out opening of the 1st contact hole of the above, and the 2nd contact hole open for free passage to the aforementioned 1st mask layer, It has the process which carries out opening of the 2nd contact hole to which the 2nd contact hole of the above uses as a mask the 1st mask layer by which opening was carried out, and penetrates the aforementioned insulator layer, and the process which embeds the 1st contact hole of the above which carries out a free passage, and the 2nd contact hole by the conductor, and forms a wiring layer.

[0026] According to the manufacture method of the semiconductor device of the above-mentioned this invention, an insulator layer is first formed on a semiconductor substrate, the 1st mask layer used as the structure where a selection ratio does not have the sidewall mask layer of contest low polysilicon structurally in the upper layer is formed, and the 2nd mask layer is formed in the upper layer. Next, the 1st contact hole is formed in the 2nd mask layer. Next, a sidewall mask layer is formed in the wall of this 1st contact hole, and the diameter of opening of the 1st contact hole is narrowed. the [next, / the sidewall mask layer which narrowed this diameter of opening, and] -- opening of the 2nd contact hole is carried out to the 1st mask layer by using 2 mask layers as a mask Next, opening of the 2nd contact hole is carried out to an insulator layer by using this 1st mask layer as a mask. In the opening process of the 2nd contact hole over this insulator layer, since the 1st mask layer which is the structure where a selection ratio does not have the sidewall mask layer of contest low polysilicon structurally is used as the mask, retreat of the shoulder of opening is suppressed and expansion of the diameter of opening is suppressed, it is hard to cause a poor proof pressure, wiring short-circuit, etc. Moreover, it is possible to thin-film-ize the 1st mask layer from the mask layer of the conventional method, the aspect ratio of the 2nd

contact hole can be made smaller than before, and it is hard to cause poor opening, such as a dirty stop. From these things, the early diameter of opening can be maintained [be / under / etching / letting it pass / it], and opening of the contact hole of the detailed simultaneously perpendicular configuration where the unreliable reliability of wiring with poor contact hole openings, such as a micro loading effect and an etching stop, was secured can be carried out.

[0027] moreover, since retreat of this 1st mask layer is suppressed, even if it thin-film-izes thickness of the embedding wiring layer when embedding the 2nd contact hole by the conductor rather than the conventional method, the depression of a contact hole upper part portion can be made small, the plug loss when carrying out etchback of the embedding wiring layer can be suppressed small, and a semiconductor substrate is received — it can scoop out — etc. — contact junction can be formed, without causing poor contact

[0028] The manufacture method of the semiconductor device of the above-mentioned this invention is a process at which the process which carries out opening of the 2nd contact hole to the aforementioned 1st mask layer penetrates the aforementioned 1st mask layer, and exposes the aforementioned insulator layer suitably, or is the process to which the process which carries out opening of the 2nd contact hole to the aforementioned 1st mask layer carries out opening of the 2nd contact hole which penetrates the aforementioned 1st mask layer and reaches above the aforementioned insulator layer. Since opening of the contact hole which narrowed the path can be carried out to the 1st mask layer and opening of the 2nd contact hole can next be carried out to an insulator layer by using this 1st mask layer as a mask, opening of the contact hole with the high reliability which suppressed expansion of the diameter of opening etc. can be carried out.

[0029] The process which carries out opening of the 2nd contact hole which the manufacture method of the semiconductor device of the above-mentioned this

invention uses the aforementioned 1st mask layer as a mask suitably, and penetrates the aforementioned insulator layer is a process which removes the aforementioned 2nd mask layer and the aforementioned sidewall mask layer simultaneously. When the 2nd mask layer and a sidewall mask layer carry out opening of the 2nd contact hole to the 1st mask layer, they end the role. Since thin film-ization of a mask layer can be attained and is further performed simultaneously with opening of the 2nd contact hole to an insulator layer when after opening removes the 2nd contact hole to the 1st mask layer, the number of processes is reducible.

[0030] The manufacture method of the semiconductor device of the above-mentioned this invention has suitably the process which removes the aforementioned 2nd mask layer and the aforementioned sidewall mask layer between the process which carries out opening of the 2nd contact hole to the aforementioned 1st mask layer, and the process which carries out opening of the 2nd contact hole which uses the aforementioned 1st mask layer as a mask, and penetrates the aforementioned insulator layer. When after opening removes the 2nd contact hole to the 1st mask layer, thin film-ization of a mask layer can be attained and a micro loading effect etc. can be suppressed further.

[0031] The manufacture method of the semiconductor device of the above-mentioned this invention forms the aforementioned 1st mask layer suitably with the material which can take the aforementioned insulator layer and etch selectivity. Thereby, retreat of the 1st mask layer, expansion of the diameter of opening of a contact hole, etc. in opening of the 2nd contact hole to an insulator layer can be suppressed further.

[0032] The manufacture method of the semiconductor device of the above-mentioned this invention forms the aforementioned 2nd mask layer and a sidewall mask layer suitably with the material which can take the aforementioned 1st mask layer and etch selectivity. It becomes possible to be able to suppress expansion of the diameter of opening in opening of the 2nd contact hole to the 1st mask layer, to leave the 1st mask

layer further by this, and to remove the 2nd mask layer and a sidewall mask layer. For that, it is possible to realize by forming the 1st mask layer with contest polysilicon, and forming the 2nd mask layer and a sidewall mask layer by the silicon oxide or the silicon nitride, or forming the 1st mask layer by the silicon nitride, and forming the 2nd mask layer and a sidewall mask layer by contest polysilicon or the silicon oxide.

[0033] In order to attain the further above-mentioned purpose, the manufacture method of the semiconductor device of this invention The process which forms an insulator layer on a semiconductor substrate, and the process which forms a mask layer on the aforementioned insulator layer, The process which carries out opening of the 1st contact hole to the aforementioned mask layer, and the process which forms in the wall of the 1st contact hole of the above the sidewall mask layer which narrows the diameter of opening of the 1st contact hole of the above, The process which carries out opening of the 2nd contact hole which uses the aforementioned mask layer and the aforementioned sidewall mask layer as a mask, and penetrates the aforementioned insulator layer, The process which embeds the 1st contact hole of the above which carries out a free passage, and the 2nd contact hole by the conductor, and forms a wiring layer, It has the process which removes the aforementioned mask layer and the aforementioned sidewall mask layer, and the aforementioned mask layer and the aforementioned sidewall mask layer are formed by the material which has etch selectivity to the aforementioned wiring layer.

[0034] According to the manufacture method of the semiconductor device of the above-mentioned this invention, an insulator layer is first formed on a semiconductor substrate, a mask layer is formed in the upper layer, and the 1st contact hole is formed in a mask layer. Next, a sidewall mask layer is formed in the wall of this 1st contact hole, and the diameter of opening of the 1st contact hole is narrowed. Next, opening of the 2nd contact hole is carried out to an insulator layer by using as a mask the sidewall mask layer and mask layer which narrowed this diameter of opening. Next, embed the

inside of the 2nd contact hole and a conductor is made to deposit on the whole surface, and after carrying out etchback and removing the conductor of the exterior of a contact hole, a mask layer and a sidewall mask layer are removed. Thus, since a mask layer and a sidewall mask layer are removed after the etchback of an embedding wiring layer, if the 1st mask layer is formed by the thickness of the part equivalent to the plug loss generated by the etchback of an embedding wiring layer, it is also possible to suppress a plug loss and to lose substantially. Since the plug loss is suppressed when the contact junction which this connects stably can be formed and it forms an up electrode in the upper layer of an embedding wiring layer, it can form easily.

[0035] Suitably, the manufacture method of the semiconductor device of the above-mentioned this invention forms the aforementioned mask layer and the aforementioned sidewall mask layer by the silicon nitride, and forms the aforementioned wiring layer with contest polysilicon. Thereby, it shall have etch selectivity for a mask layer and a sidewall mask layer to a wiring layer.

[0036] The manufacture method of the semiconductor device of the above-mentioned this invention forms the aforementioned mask layer and the aforementioned sidewall mask layer suitably with the material which can take the aforementioned insulator layer and etch selectivity. It is possible for expansion of the path of opening of the 2nd contact hole and retreat of a shoulder to be suppressed by this, to be hard to cause wiring short-circuit etc., and to thin-film-ize the 1st mask layer from the mask layer of the conventional method. The aspect ratio of the 2nd contact hole can be made smaller than before. Poor opening, such as a dirty stop, can be made hard to cause. from these things The early diameter of opening can be maintained [be / under / etching / letting it pass / it], and opening of the contact hole of the detailed simultaneously perpendicular configuration where the unreliable reliability of wiring with poor contact hole openings, such as a micro loading effect and an etching stop, was secured can be carried out. Moreover, since retreat of the 1st mask layer is suppressed, even if it

thin-film-izes thickness of the embedding wiring layer when embedding the 2nd contact hole with contest polysilicon etc. rather than the conventional method, a plug loss when the depression of a contact hole upper part portion can be made small and carries out etchback can be suppressed small. For that, it is possible to realize by forming an
5 insulator layer by the silicon oxide, forming a mask layer and a sidewall mask layer by the silicon nitride, and forming a wiring layer with contest polysilicon.

[0037] The manufacture method of the semiconductor device of the above-mentioned this invention is a process of the opening process of the 1st contact hole of the above, and the opening process of the 2nd contact hole in which one of processes carries out
10 opening by the plasma etching of low voltage high density at least suitably. To opening of a contact hole, the use of the etching system of low voltage and high-density plasma generating which attracts attention also with the plasma treatment equipment of a type recently in the viewpoint of high precision control of the diameter of opening or high aspect hole opening although it is theoretically possible is conventionally desirable. In
15 low voltage high-density plasma, induction of the electric field is carried out to discharge space, the free electron in plasma is accelerated, by the high-energy electron produced as a result, an inert gas is ionized and high-density plasma is acquired. If high-density plasma is generated in a low-pressure etching chamber, since the probability that ion will collide with other ion and inert-gas particles will become small in
20 the ion sheath formed near the substrate front face, the rectilinear-propagation nature of ion can increase, and since ionization degree is high, the large ratio of an ion pair neutral radical can be taken, and the anisotropy of etching can be raised. As a source of plasma of low voltage high density, an efficient consumer response (Electron Cyclotron Resonance) type, an ICP (Inductively Coupled Plasma) type, and a helicon wave plasma
25 type can be used preferably.

[0038]

[Embodiments of the Invention] Below, the gestalt of operation of this invention is

explained with reference to a drawing.

[0039] The cross section of the semiconductor device manufactured by the manufacture method of the 1st operation gestalt book operation gestalt is shown in drawing 1 . Elements, such as an MOS transistor which is not illustrated on the semiconductor substrate 10, are formed, and the insulator layer 20 which consists of a silicon oxide is formed in the upper layer. Opening of the contact hole which reaches the semiconductor substrate 10 is carried out to the insulator layer 20, it embeds in a contact hole, wiring layer 30a is embedded, and it has connected with the semiconductor substrate 10.

[0040] This semiconductor device is a semiconductor device which expansion of the path of a contact hole is suppressed and has produced neither short-circuit of wiring, nor an etching stop and which has the detailed contact which secured the reliability of the wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss.

[0041] Below, the manufacture method of the semiconductor device of this above-mentioned operation gestalt is explained. First, on the silicon semiconductor substrate 10, as shown in drawing 2 (a), after forming elements, such as a transistor which is not illustrated, cover these elements, for example, a silicon oxide is made to deposit by ordinary-pressure CVD, flattening is carried out by the reflow or etchback, and an insulator layer 20 is formed. Next, contest polysilicon is made to deposit on the upper layer of an insulator layer 20 for example, by reduced pressure CVD, and the 1st mask layer 21 is formed. Next a silicon oxide is made to deposit on the upper layer of the 1st mask layer 21 for example, by reduced pressure CVD, and the 2nd mask layer 22 is formed. Next a resist film is applied to the upper layer of the 2nd mask layer 22, for example, patterning is carried out to the opening pattern of the 1st contact hole of 400nmphi, and the resist film R1 is formed.

[0042] Next, as shown in drawing 2 (b), it etches by using the resist film R1 as a mask

in the etching system of a magnetron method, and opening of the 1st contact hole CH1 to which the 1st mask layer 21 is exposed is carried out to the 2nd mask layer 22. Next, the resist film R1 is removed.

[0043] Next, as shown in drawing 2 (c), cover the inside of the 2nd mask layer 22 and the 1st contact hole CH1 on the whole surface, a silicon oxide is made to deposit in reduced pressure CVD, and the layer 23 for sidewall masks is formed.

[0044] Next, as shown in drawing 3 (d), etchback of the layer 23 for sidewall masks is performed in the etching system of an parallel monotonous method, and sidewall mask layer 23a is formed. By formation of sidewall mask layer 23a, the path of a contact hole can be narrowed for example, to about 200nmphi.

[0045] Next, as shown in drawing 3 (e), opening of the 2nd contact hole CH2 with an open aperture [ϕ] of about 200nm to which it etches by using the 2nd mask layer 22 and sidewall mask layer 23a as a mask in an efficient consumer response type etching system, the 1st mask layer 21 is penetrated, and an insulator layer 20 is exposed is carried out.

[0046] Next, as shown in drawing 4 (f), it etches by using as a mask the 1st mask layer 21 which has the diameter of opening of about 200nmphi in the etching system of a magnetron method, and opening of the 2nd contact hole CH2 to which an insulator layer 20 is penetrated and the semiconductor substrate 10 is exposed is carried out to an insulator layer 20. The 2nd mask layer 22 and sidewall mask layer 23a carry out etching removal simultaneously with opening etching of the 2nd contact hole CH2 to an insulator layer 20, or are removed in advance of opening of the 2nd contact hole CH2.

[0047] Next, as shown in drawing 4 (g), embed the inside of the 2nd contact hole CH2 for contest polysilicon by reduced pressure CVD, the 1st mask layer 21 upper surface is made to deposit on the whole surface, and the embedding wiring layer 30 is formed.

[0048] Next, etchback is performed, for example on the whole surface in an efficient consumer response type etching system, and it is embedded in the 2nd contact hole

CH2, and it connects with the semiconductor substrate 10, for example, embedding wiring layer 30a which has the path of 200nmphi is formed, and the semiconductor device of the structure shown in drawing 1 is formed. As a next process, the upper wiring is connected to the upper layer of embedding wiring layer 30a, for example, or it
5 can perform forming a storage node electrode and considering as capacitor structure etc.

[0049] In the opening process of the 2nd contact hole CH2 to the above-mentioned insulator layer 20 Although the shoulder of opening of a mask layer might retreat, the diameter of opening might be expanded, opening in an insulator layer 20 might become a
10 taper configuration and the distance between the side attachment walls of lower layer wiring of a gate electrode etc. and a contact hole might cause narrowing, wiring short-circuit, or the poor proof pressure by the conventional method In the manufacture method of the semiconductor device of this operation gestalt, since it is the structure where a selection ratio does not have the sidewall mask layer of contest
15 low polysilicon structurally, retreat of the shoulder of opening is suppressed, and the 1st mask layer 21 cannot cause wiring short-circuit etc. easily. Moreover, it is possible to thin-film-ize the 1st mask layer 21 from the mask layer of the conventional method, the aspect ratio of the 2nd contact hole CH2 can be made smaller than before, and it is hard to cause poor opening, such as a dirty stop. From these things, the early diameter
20 of opening can be maintained [be / under / etching / letting it pass / it], and opening of the contact hole of the detailed simultaneously perpendicular configuration where the unreliable reliability of wiring with poor contact hole openings, such as a micro loading effect and an etching stop, was secured can be carried out.

[0050] Moreover, since the sidewall mask layer retreated greatly in the process which
25 carries out opening of the 2nd contact hole by the conventional method, when the 2nd contact hole CH2 was embedded with contest polysilicon, the big depression was generated into the contact hole upper part portion, it embedded by subsequent

etchback, the plug loss of a wiring layer became large, ***** to a semiconductor substrate arose in the contact hole bottom depending on the case, and poor contact, such as increase of contact resistance, might be caused. According to the manufacture method of the semiconductor device of this operation form, from retreat of this 1st mask layer 21 being suppressed Even if it thin-film-izes thickness of the embedding wiring layer 30 when embedding the 2nd contact hole CH2 with contest polysilicon etc. rather than the conventional method, the depression of a contact hole upper part portion can be made small. the plug loss when carrying out etchback can be suppressed small, and a semiconductor substrate is received -- it can scoop out -- etc. -- contact junction can be formed, without causing poor contact

[0051] As mentioned above, retreat of the shoulder of a mask layer is suppressed according to this operation gestalt, expansion of a contact hole is suppressed, and the semiconductor device which has the detailed contact which secured the reliability of the wiring to the semiconductor substrate which has produced neither short-circuit of wiring nor an etching stop which could scoop out and suppressed the ** plug loss can be manufactured.

[0052] Below, the example in this operation form is explained with reference to a drawing.

The cross section of the semiconductor device manufactured by the manufacture method of example 1 this example is shown in drawing 5 . Elements, such as an MOS transistor which is not illustrated on the semiconductor substrate 10, are formed, and the insulator layer 20 which consists the upper layer of a silicon oxide is formed. Opening of the contact hole which reaches the semiconductor substrate 10 is carried out to the insulator layer 20, it embeds in a contact hole, wiring layer 30a is embedded, and it has connected with the semiconductor substrate 10.

[0053] This semiconductor device is a semiconductor device which expansion of the path of a contact hole is suppressed and has produced neither short-circuit of wiring,

nor an etching stop and which has the detailed contact which secured the reliability of the wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss.

[0054] Below, the manufacture method of the semiconductor device of the above-mentioned this example is explained. First, on the silicon semiconductor substrate 10, as shown in drawing 6 (a), after forming elements, such as a transistor which is not illustrated, cover these elements, a silicon oxide is made to deposit in about 700nm thickness by ordinary-pressure CVD, flattening is carried out by the reflow or etchback, and an insulator layer 20 is formed. Next, contest polysilicon is made to deposit on the upper layer of an insulator layer 20 in 200nm thickness by reduced pressure CVD, and the 1st mask layer 21 is formed. Next a silicon oxide is made to deposit on the upper layer of the 1st mask layer 21 in 200nm thickness by reduced pressure CVD, and the 2nd mask layer 22 is formed. Next a coating machine is used for the upper layer of the 2nd mask layer 22, a resist film is applied by 600nm thickness, patterning is carried out to the opening pattern of the 1st contact hole of 400nmphi by the excimer stepper, and the resist film R1 is formed.

[0055] Next, as shown in drawing 6 (b), the resist film R1 is used as a mask in the etching system of a magnetron method, 200nm etching is performed and opening of the 1st contact hole CH1 to which the 1st mask layer 21 is exposed is carried out to the 2nd mask layer 22. Next, the resist film R1 is removed using Usher of mu wave downflow method.

[0056] Next, as shown in drawing 6 (c), cover the inside of the 2nd mask layer 22 and the 1st contact hole CH1 with reduced pressure CVD on the whole surface, a silicon oxide is made to deposit by 100nm thickness in it, and the layer 23 for sidewall masks is formed.

[0057] Next, as shown in drawing 7 (d), 100nm of etchback of the layer 23 for sidewall masks is performed in the etching system of an parallel monotonous method, and

sidewall mask layer 23a is formed. By formation of sidewall mask layer 23a, the path of a contact hole can be narrowed to about 200nmphi.

[0058] Next, as shown in drawing 7 (e), the 2nd mask layer 22 and sidewall mask layer 23a are used as a mask in an efficient consumer response type etching system, and opening of the 2nd contact hole CH2 with an open aperture [phi] of about 200nm to which 200nm etching is performed, the 1st mask layer 21 is penetrated, and an insulator layer 20 is exposed is carried out.

[0059] Next, as shown in drawing 8 (f), the 1st mask layer 21 which has the diameter of opening of about 200nmphi in the etching system of a magnetron method is used as a mask, 700nm etching is performed and opening of the 2nd contact hole CH2 to which an insulator layer 20 is penetrated and the semiconductor substrate 10 is exposed is carried out to an insulator layer 20. The 2nd mask layer 22 which consists of a silicon oxide, and sidewall mask layer 23a carry out etching removal simultaneously with opening etching of the 2nd contact hole CH2 to an insulator layer 20.

[0060] Next, as shown in drawing 8 (g), embed the inside of the 2nd contact hole CH2 for contest polysilicon by reduced pressure CVD, the 1st mask layer 21 upper surface is made to deposit on the whole surface in 200nm thickness, and the embedding wiring layer 30 is formed.

[0061] Next, 400nm etchback is performed on the whole surface in an efficient consumer response type etching system, it is embedded in the 2nd contact hole CH2, embedding wiring layer 30a which has the path of about 200nmphi linked to the semiconductor substrate 10 is formed, and the semiconductor device of the structure shown in drawing 5 is formed. As a next process, the upper wiring is connected to the upper layer of embedding wiring layer 30a, for example, or it can perform forming a storage node electrode and considering as capacitor structure etc.

[0062] In the opening process of the 2nd contact hole CH2 to the above-mentioned insulator layer 20, since it is the structure where a selection ratio does not have the

sidewall mask layer of contest low polysilicon structurally, retreat of the shoulder of opening is suppressed, and the 1st mask layer 21 cannot cause wiring short-circuit etc. easily. Moreover, it is possible to thin-film-ize the 1st mask layer 21 from the mask layer of the conventional method, the aspect ratio of the 2nd contact hole CH2 can be made smaller than before, and it is hard to cause poor opening, such as a dirty stop. From these things, the early diameter of opening can be maintained [be / under / etching / letting it pass / it], and opening of the contact hole of the detailed simultaneously perpendicular configuration where the unreliable reliability of wiring with poor contact hole openings, such as a micro loading effect and an etching stop, was secured can be carried out.

[0063] moreover, since retreat of the 1st mask layer 21 is suppressed, even if it thin-film-izes thickness of the embedding wiring layer 30 when embedding the 2nd contact hole CH2 with contest polysilicon etc. rather than the conventional method, a plug loss when the depression of a contact hole upper part portion can be made small and carries out etchback can be suppressed small, and a semiconductor substrate is received -- it can scoop out -- etc. -- contact junction can be formed, without causing poor contact

[0064] As mentioned above, retreat of the shoulder of a mask layer is suppressed by this example, expansion of a contact hole is suppressed, and the semiconductor device which has the detailed contact which secured the reliability of the wiring to the semiconductor substrate which has produced neither short-circuit of wiring nor an etching stop which could scoop out and suppressed the ** plug loss can be manufactured.

[0065] The cross section of the semiconductor device manufactured by the manufacture method of example 2 this example is shown in drawing 9 . Elements, such as an MOS transistor which is not illustrated on the semiconductor substrate 10, are formed, and the insulator layer 20 which consists the upper layer of a silicon oxide is

formed. Opening of the contact hole which reaches the semiconductor substrate 10 is carried out to the insulator layer 20, it embeds in a contact hole, wiring layer 30a is embedded, and it has connected with the semiconductor substrate 10.

[0066] This semiconductor device is a semiconductor device which expansion of a contact hole is suppressed and has produced neither short-circuit of wiring, nor an etching stop and which has the detailed contact which secured the reliability of the wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss.

[0067] Below, the manufacture method of the semiconductor device of the above-mentioned this example is explained. First, on the silicon semiconductor substrate 10, as shown in drawing 10 (a), after forming elements, such as a transistor which is not illustrated, cover these elements, a silicon oxide is made to deposit in about 700nm thickness by ordinary-pressure CVD, flattening is carried out by the reflow or etchback, and an insulator layer 20 is formed. Next, contest polysilicon is made to deposit on the upper layer of an insulator layer 20 in 100nm thickness thinner than the case of an example 1 by reduced pressure CVD, and the 1st mask layer 21 is formed. Next a silicon nitride is made to deposit on the upper layer of the 1st mask layer 21 in 200nm thickness by reduced pressure CVD, and the 2nd mask layer 22 is formed. Next a coating machine is used for the upper layer of the 2nd mask layer 22, a resist film is applied by 600nm thickness, patterning is carried out to the opening pattern of the 1st contact hole of 400nmphi by the excimer stepper, and the resist film R1 is formed.

[0068] Next, as shown in drawing 10 (b), the resist film R1 is used as a mask in the etching system of a magnetron method, 200nm etching is performed and opening of the 1st contact hole CH1 to which the 1st mask layer 21 is exposed is carried out to the 2nd mask layer 22. Next, the resist film R1 is removed using Usher of mu wave downflow method.

[0069] Next, as shown in drawing 10 (c), cover the inside of the 2nd mask layer 22 and the 1st contact hole CH1 with reduced pressure CVD on the whole surface, a silicon nitride is made to deposit by 100nm thickness in it, and the layer 23 for sidewall masks is formed.

5 [0070] Next, as shown in drawing 11 (d), 100nm of etchback of the layer 23 for sidewall masks is performed in the etching system of an parallel monotonous method, and sidewall mask layer 23a is formed. By formation of sidewall mask layer 23a, the path of a contact hole can be narrowed to about 200nmphi.

10 [0071] Next, as shown in drawing 11 (e), the 2nd mask layer 22 and sidewall mask layer 23a are used as a mask in an efficient consumer response type etching system, and opening of the 2nd contact hole CH2 with an open aperture [ϕ] of about 200nm to which 100nm etching is performed, the 1st mask layer 21 is penetrated, and an insulator layer 20 is exposed is carried out.

15 [0072] Next, as shown in drawing 12 (f), the 1st mask layer 21 which has the diameter of opening of about 200nmphi in the etching system of a magnetron method is used as a mask, 700nm etching is performed and opening of the 2nd contact hole CH2 to which an insulator layer 20 is penetrated and the semiconductor substrate 10 is exposed is carried out to an insulator layer 20. The 2nd mask layer 22 which consists of a silicon nitride, and sidewall mask layer 23a carry out etching removal simultaneously with
20 opening etching of the 2nd contact hole CH2 to an insulator layer 20. At this time, rather than the case of an example 1, the radius of circle of the shoulder of the 1st mask layer 21 can be made small, and the breadth of the diameter of opening of the 2nd contact hole CH2 can be suppressed further.

25 [0073] Next, as shown in drawing 12 (g), embed the inside of the 2nd contact hole CH2 for contest polysilicon by reduced pressure CVD, the 1st mask layer 21 upper surface is made to deposit on the whole surface in 100nm thickness thinner than the case of an example 1, and the embedding wiring layer 30 is formed.

[0074] Next, 200nm etchback is performed on the whole surface in an efficient consumer response type etching system, it is embedded in the 2nd contact hole CH2, embedding wiring layer 30a which has the path of about 200nmphi linked to the semiconductor substrate 10 is formed, and the semiconductor device of the structure shown in drawing 9 is formed. As a next process, the upper wiring is connected to the upper layer of embedding wiring layer 30a, for example, or it can perform forming a storage node electrode and considering as capacitor structure etc.

[0075] In the opening process of the 2nd contact hole CH2 to the above-mentioned insulator layer 20, since it is the structure where a selection ratio does not have the sidewall mask layer of contest low polysilicon structurally, retreat of the shoulder of opening is suppressed, and the 1st mask layer 21 cannot cause wiring short-circuit etc. easily. Moreover, it is possible to thin-film-ize the 1st mask layer 21 from the mask layer of the conventional method, the aspect ratio of the 2nd contact hole CH2 can be made smaller than before, and it is hard to cause poor opening, such as a dirty stop. From these things, the early diameter of opening can be maintained [be / under / etching / letting it pass / it], and opening of the contact hole of the detailed simultaneously perpendicular configuration where the unreliable reliability of wiring with poor contact hole openings, such as a micro loading effect and an etching stop, was secured can be carried out.

[0076] moreover, since retreat of the 1st mask layer 21 is suppressed, even if it thin-film-izes thickness of the embedding wiring layer 30 when embedding the 2nd contact hole CH2 with contest polysilicon etc. rather than the conventional method, a plug loss when the depression of a contact hole upper part portion can be made small and carries out etchback can be suppressed small, and a semiconductor substrate is received — it can scoop out — etc. — contact junction can be formed, without causing poor contact

[0077] In the manufacture method of the semiconductor device of the above-mentioned

this example, since the 2nd mask layer 22 and sidewall mask layer 23a are formed by the silicon nitride, the high selection ratio when *****ing the 1st mask layer 21 of contest polysilicon rather than the case of the example 1 which formed the 2nd mask layer 22 and sidewall mask layer 23a by the silicon oxide can be taken. This is because
5 it is avoidable for much oxygen to be supplied into plasma and to lower the etch selectivity of a polysilicon contest layer if the layer which consists of a silicon oxide is *****ed. Thereby, it is possible to make thickness of the 2nd mask layer 22 thinner than the case of an example 1, and the radius of circle of the shoulder of opening of the 1st mask layer 21 after carrying out etching removal of the 2nd mask
10 layer 22 and the sidewall mask layer 23a can be made smaller. For this reason, it can embed without worsening the depression of the embedding wiring layer 31 in the upper part portion of a contact hole, and thickness of the wiring layer 30 can be made thinner than the case of an example 1. Since the aspect ratio of a contact hole can be made small by this, generating of a micro loading effect or a dirty stop can be suppressed
15 further. Moreover, it is advantageous also from a viewpoint of a manufacturing cost and a throughput that the total deposition thickness of a polysilicon contest layer is thin 200nm.

[0078] As mentioned above, retreat of the shoulder of a mask layer is suppressed by this example, expansion of a contact hole is suppressed, and the semiconductor device
20 which has the detailed contact which secured the reliability of the wiring to the semiconductor substrate which has produced neither short-circuit of wiring nor an etching stop which could scoop out and suppressed the ** plug loss can be manufactured.

[0079] The cross section of the semiconductor device manufactured by the
25 manufacture method of example 3 this example is shown in drawing 13 . On the semiconductor substrate 10 LDD sidewall insulator layer 25a of the silicon oxide formed in the gate electrode 31 of a polycide which consists of bottom gate electrode 31a of

contest polysilicon formed through the gate insulator layer 24, and top gate electrode 31b of tungsten silicide, and its both-sides section, The MOS transistor which has the LDD diffusion layer 11 and the source drain diffusion layer 12 which were formed into the semiconductor substrate 10 of the both-sides section of the gate electrode 31 is formed, and the insulator layer 20 which consists the upper layer of a silicon oxide is formed. Opening of the contact hole which reaches the source drain diffusion layer 12 of the semiconductor substrate 10 is carried out to the insulator layer 20, it embeds in a contact hole, wiring layer 30a is embedded, and it has connected with the source drain diffusion layer 12.

10 [0080] This semiconductor device is a semiconductor device which expansion of a contact hole is suppressed and has produced neither short-circuit of wiring, nor an etching stop and which has the detailed contact which secured the reliability of the wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss.

15 [0081] Below, the manufacture method of the semiconductor device of the above-mentioned this example is explained. First, on the silicon semiconductor substrate 10, as shown in drawing 14 (a), after forming the gate insulator layer 24 by 20nm thickness by the dry oxidation style which used the thermal diffusion furnace, make 100nm contest polysilicon deposit in reduced pressure CVD, and form layer 31a for bottom gate electrodes, 100nm of tungsten silicide is made to deposit on the upper layer in a spatter, and layer 31b for top gate electrodes is formed. Next, a coating machine is used for the upper layer of layer 31b for top gate electrodes, a resist film is applied by 600nm thickness, patterning is carried out to a gate electrode pattern with a line breadth of 200nm by the excimer stepper, and the resist film R2 is formed.

25 [0082] Next, as shown in drawing 14 (b), the resist film R2 is used as a mask in an efficient consumer response type etching system, and the gate electrode 31 of a polycide which etches 100nm, respectively and consists layer 31b for top gate

electrodes of bottom gate electrode 31a and top gate electrode 31b in 100nm and layer 31a for bottom gate electrodes is formed. Next, after removing the resist film R2 using Usher of mu wave downflow method, the gate electrode 31 is used as a mask, into the semiconductor substrate 10, an ion implantation is performed and the LDD diffusion layer 11 is formed. Next, cover the gate electrode 31 and the semiconductor substrate 10 with reduced pressure CVD on the whole surface, a silicon oxide is made to deposit in 100nm thickness by it, and the layer 25 for LDD sidewall insulator layers is formed.

[0083] Next, as shown in drawing 14 (c), 220nm whole surface etchback is performed in the etching system of an parallel monotonous method, and LDD sidewall insulator layer 25a is formed. Next, the gate electrode 31 with LDD sidewall insulator layer 25a is used as a mask, into the semiconductor substrate 10, an ion implantation is performed and the source drain diffusion layer 12 is formed. As mentioned above, the MOS transistor which has the gate insulator layer 24, the gate electrode 31, LDD sidewall insulator layer 25a, the LDD diffusion layer 11, and the source drain diffusion layer 12 is formed.

[0084] Next, as shown in drawing 15 (d), cover the MOS transistor formed above and a silicon oxide is made to deposit in about 1000nm thickness by ordinary-pressure CVD, by grinding 300nm by the CMP (Chemical Mechanical Polishing) method, flattening is carried out and the insulator layer 20 of 700nm of thickness is formed. Next, contest polysilicon is made to deposit on the upper layer of an insulator layer 20 in 100nm thickness by reduced pressure CVD, and the 1st mask layer 21 is formed. Next a silicon nitride is made to deposit on the upper layer of the 1st mask layer 21 in 200nm thickness by reduced pressure CVD, and the 2nd mask layer 22 is formed.

[0085] Next, as shown in drawing 15 (e), a coating machine is used for the upper layer of the 2nd mask layer 22, a resist film is applied by 600nm thickness, patterning is carried out to the opening pattern of the 1st contact hole of 400nmphi by the excimer stepper, and the resist film R1 is formed. Next, the resist film R1 is used as a mask in the etching system of a magnetron method, 200nm etching is performed and opening of

the 1st contact hole CH1 to which the 1st mask layer 21 is exposed is carried out to the 2nd mask layer 22.

[0086] Next, as shown in drawing 15 (f), after removing the resist film R1 using Usher of mu wave downflow method, Cover the inside of the 2nd mask layer 22 and the 1st contact hole CH1 with reduced pressure CVD on the whole surface, and a silicon nitride is made to deposit by 100nm thickness in it. The layer 23 for sidewall masks is formed, next, 100nm of etchback of the layer 23 for sidewall masks is performed in the etching system of an parallel monotonous method, and sidewall mask layer 23a is formed. By formation of sidewall mask layer 23a, the path of a contact hole can be narrowed to about 200nmphi.

[0087] Next, as shown in drawing 16 (g), the 2nd mask layer 22 and sidewall mask layer 23a are used as a mask in an efficient consumer response type etching system, and opening of the 2nd contact hole CH2 with an open aperture [ϕ] of about 200nm to which 100nm etching is performed, the 1st mask layer 21 is penetrated, and an insulator layer 20 is exposed is carried out.

[0088] Next, as shown in drawing 16 (h), the 1st mask layer 21 which has the diameter of opening of about 200nmphi in the etching system of a magnetron method is used as a mask, 700nm etching is performed and opening of the 2nd contact hole CH2 to which an insulator layer 20 is penetrated and the source drain diffusion layer 12 in the semiconductor substrate 10 is exposed is carried out to an insulator layer 20. The 2nd mask layer 22 which consists of a silicon nitride, and sidewall mask layer 23a carry out etching removal simultaneously with opening etching of the 2nd contact hole CH2 to an insulator layer 20.

[0089] Next, as shown in drawing 16 (i), embed the inside of the 2nd contact hole CH2 for contest polysilicon by reduced pressure CVD, the 1st mask layer 21 upper surface is made to deposit on the whole surface in 100nm thickness, and the embedding wiring layer 30 is formed.

[0090] Next, 200nm etchback is performed on the whole surface in an efficient consumer response type etching system, it is embedded in the 2nd contact hole CH2, embedding wiring layer 30a which has the path of about 200nmphi linked to the semiconductor substrate 10 is formed, and the semiconductor device of the structure shown in drawing 13 is formed. As a next process, the upper wiring is connected to the upper layer of embedding wiring layer 30a, for example, or it can perform forming a storage node electrode and considering as capacitor structure etc.

[0091] According to the manufacture method of the semiconductor device of the above this example, retreat of the shoulder of a mask layer is suppressed, expansion of a contact hole is suppressed, and the semiconductor device of the MOS transistor system which has the detailed contact which secured the reliability of the wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss which has produced neither short-circuit of wiring nor an etching stop can be manufactured.

[0092] The cross section of the semiconductor device manufactured by the manufacture method of example 4 this example is shown in drawing 17 . On the semiconductor substrate 10 LDD sidewall insulator layer 25a of the silicon oxide formed in the gate electrode 31 of a polycide which consists of bottom gate electrode 31a of contest polysilicon formed through the gate insulator layer 24, and top gate electrode 31b of tungsten silicide, and its both-sides section, The MOS transistor which has the LDD diffusion layer 11 and the source drain diffusion layer 12 which were formed into the semiconductor substrate 10 of the both-sides section of the gate electrode 31 is formed, and the insulator layer 20 which consists the upper layer of a silicon oxide is formed. Opening of the contact hole which reaches the source drain diffusion layer 12 of the semiconductor substrate 10 is carried out to the insulator layer 20. The capacitor is formed from the storage node electrode MN which consists of embedding wiring layer 30a and partial 21a of the 1st mask layer which it was embedded in the contact hole and have been connected to the source drain diffusion layer 12, the

capacitor insulator layer 26 which consists of a silicon nitride formed in the upper layer, and the plate electrode 32 of contest polysilicon.

[0093] This semiconductor device is a semiconductor device which has the detailed storage node contact which expansion of a contact hole is suppressed and has
5 produced neither short-circuit of wiring, nor an etching stop, and which secured the reliability of wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss.

[0094] Below, the manufacture method of the semiconductor device of the above-mentioned this example is explained. First, as shown in drawing 18 (a), the MOS
10 transistor which has the gate insulator layer 24, the gate electrode 31, LDD sidewall insulator layer 25a, the LDD diffusion layer 11, and the source drain diffusion layer 12 by the same method as an example 3 is formed. Next, cover an MOS transistor and a silicon oxide is made to deposit in about 1000nm thickness by ordinary-pressure CVD, by grinding 300nm by the CMP (Chemical Mechanical Polishing) method, flattening is
15 carried out and the insulator layer 20 of 700nm of thickness is formed. Next, contest polysilicon is made to deposit on the upper layer of an insulator layer 20 in 200nm thickness by reduced pressure CVD, and the 1st mask layer 21 is formed. Next a silicon nitride is made to deposit on the upper layer of the 1st mask layer 21 in 200nm thickness by reduced pressure CVD, and the 2nd mask layer 22 is formed. Next, a
20 coating machine is used for the upper layer of the 2nd mask layer 22, a resist film is applied by 600nm thickness, patterning is carried out to the opening pattern of the 1st contact hole of 400nmphi by the excimer stepper, and the resist film R1 is formed.

[0095] Next, as shown in drawing 18 (b), the resist film R1 is used as a mask in the etching system of a magnetron method, 200nm etching is performed and opening of the
25 1st contact hole CH1 to which the 1st mask layer 21 is exposed is carried out to the 2nd mask layer 22. Next, after removing the resist film R1 using Usher of mu wave downflow method, cover the inside of the 2nd mask layer 22 and the 1st contact hole

CH1 with reduced pressure CVD on the whole surface, a silicon nitride is made to deposit by 100nm thickness in it, and the layer 23 for sidewall masks is formed.

[0096] Next, as shown in drawing 18 (c), 100nm of etchback of the layer 23 for sidewall masks is performed in the etching system of an parallel monotonous method, and
5 sidewall mask layer 23a is formed. By formation of sidewall mask layer 23a, the path of a contact hole can be narrowed to about 200nmphi.

[0097] Next, as shown in drawing 19 (d), the 2nd mask layer 22 and sidewall mask layer 23a are used as a mask in an efficient consumer response type etching system, and opening of the 2nd contact hole CH2 with an open aperture [ϕ] of about 200nm to
10 which 200nm etching is performed, the 1st mask layer 21 is penetrated, and an insulator layer 20 is exposed is carried out.

[0098] Next, as shown in drawing 19 (e), the 1st mask layer 21 which has the diameter of opening of about 200nmphi in the etching system of a magnetron method is used as a mask, 700nm etching is performed and opening of the 2nd contact hole CH2 to which
15 an insulator layer 20 is penetrated and the source drain diffusion layer 12 in the semiconductor substrate 10 is exposed is carried out to an insulator layer 20. The 2nd mask layer 22 which consists of a silicon nitride, and sidewall mask layer 23a carry out etching removal simultaneously with opening etching of the 2nd contact hole CH2 to an insulator layer 20.

[0099] Next, as shown in drawing 19 (g), embed the inside of the 2nd contact hole CH2 for contest polysilicon by reduced pressure CVD, the 1st mask layer 21 upper surface is made to deposit on the whole surface in 100nm thickness, and the embedding wiring
20 layer 30 is formed.

[0100] Next, as shown in drawing 20 (h), a coating machine is used for the upper layer
25 of the embedding wiring layer 30, a resist film is applied by 600nm thickness, patterning is carried out to the storage node electrode pattern of about 200nmphi by the excimer stepper, and the resist film R3 is formed.

[0101] Next, as shown in drawing 20 (i), the storage node electrode MN of about 200nmphi which uses the resist film R3 as a mask in an efficient consumer response type etching system, performs 300nm etching, embedding wiring layer 30a Reaches, and consists of partial 21a of the 1st mask layer is formed.

5 [0102] Next, cover the storage node electrode MN with reduced pressure CVD, and make a silicon nitride deposit on the whole surface in 20nm thickness, and form the capacitor insulator layer 26, contest polysilicon is made to deposit on the upper layer in 200nm thickness by reduced pressure CVD, the plate electrode 32 is formed, and the semiconductor device of the structure shown in drawing 17 is formed.

10 [0103] According to the manufacture method of the semiconductor device of the above this example, retreat of the shoulder of a mask layer is suppressed, expansion of a contact hole is suppressed, and the semiconductor device of the MOS transistor system which has the detailed storage node contact which has produced neither short-circuit of wiring nor an etching stop, and which secured the reliability of the
15 wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss can be manufactured.

[0104] The cross section of the semiconductor device manufactured by the manufacture method of the 2nd operation form book operation form is shown in drawing 21 . Elements, such as an MOS transistor which is not illustrated on the semiconductor
20 substrate 10, are formed, the insulator layer 20 which consists of a silicon oxide is formed in the upper layer, and the 1st mask layer 21 which consists of a silicon nitride is formed in the upper layer. It reaches insulator layer 20 and opening of the contact hole which reaches the semiconductor substrate 10 is carried out to the 1st mask layer 21, it embeds in a contact hole, wiring layer 30a is embedded, and the up electrode 33
25 and the semiconductor substrate 10 which were formed in the upper layer are connected.

[0105] This semiconductor device is a semiconductor device which expansion of the

path of a contact hole is suppressed and has produced neither short-circuit of wiring, nor an etching stop and which has the detailed contact which secured the reliability of the wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss.

5 [0106] Below, the manufacture method of the semiconductor device of this above-mentioned operation form is explained. First, on the silicon semiconductor substrate 10, as shown in drawing 22 (a), after forming elements, such as a transistor which is not illustrated, cover these elements, for example, a silicon oxide is made to deposit by ordinary-pressure CVD, flattening is carried out by the reflow or etchback, 10 and an insulator layer 20 is formed. Next, a silicon nitride is made to deposit on the upper layer of an insulator layer 20 in about 100nm thickness for example, by reduced pressure CVD, and the 1st mask layer 21 is formed. Next contest polysilicon is made to deposit on the upper layer of the 1st mask layer 21 in about 300nm thickness for example, by reduced pressure CVD, and the 2nd mask layer 22 is formed. Next a resist 15 film is applied to the upper layer of the 2nd mask layer 22, for example, patterning is carried out to the opening pattern of the 1st contact hole of 400nmphi, and the resist film R1 is formed.

[0107] Next, as shown in drawing 22 (b), the resist film R1 is used as a mask, RIE (reactive ion etching) etc. is etched and opening of the 1st contact hole CH1 to which 20 the 1st mask layer 21 is exposed is carried out to the 2nd mask layer 22. Next, the resist film R1 is removed.

[0108] Next, as shown in drawing 22 (c), cover the inside of the 2nd mask layer 22 and the 1st contact hole CH1 with reduced pressure CVD on the whole surface, contest polysilicon is made to deposit by about 140nm thickness in it, and the layer 23 for 25 sidewall masks is formed.

[0109] Next, as shown in drawing 23 (d), anisotropic etching, such as RIE, performs etchback of the layer 23 for sidewall masks, and sidewall mask layer 23a is formed. By

formation of sidewall mask layer 23a, the path of a contact hole can be narrowed for example, to about 120nmphi.

[0110] Next, as shown in drawing 23 (e), it etches by using the 2nd mask layer 22 and sidewall mask layer 23a as a mask in an efficient consumer response type etching system, the 1st mask layer 21 is penetrated, and opening of the 2nd contact hole CH2 with an open aperture [ϕ] of about 120nm is carried out to the middle of an insulator layer 20.

[0111] Next, as shown in drawing 23 (f), it etches in an efficient consumer response type etching system, and the 2nd mask layer 22 and sidewall mask layer 23a are removed.

[0112] Next, as shown in drawing 24 (g), etching of contact hole CH2 ** which has the diameter of opening of about 120nmphi which used the 1st mask layer 21 as the mask, for example, carried out opening to the middle of an insulator layer 20 in the efficient consumer response type etching system is continued, and opening of the 2nd contact hole CH2 to which an insulator layer 20 is penetrated and the semiconductor substrate 10 is exposed is carried out to an insulator layer 20.

[0113] Next, as shown in drawing 24 (h), embed the inside of the 2nd contact hole CH2 for contest polysilicon by reduced pressure CVD, the 1st mask layer 21 upper surface is made to deposit on the whole surface, and the embedding wiring layer 30 is formed.

[0114] Next, as shown in drawing 24 (i), etchback is performed on the whole surface in an efficient consumer response type etching system, and it is embedded in the 2nd contact hole CH2, and it connects with the semiconductor substrate 10, for example, embedding wiring layer 30a which has the path of 120nmphi is formed.

[0115] Next, contest polysilicon is made to deposit on the upper layer of embedding wiring layer 30a, patterning can be carried out, the up electrode 33 can be formed, and the semiconductor device shown in drawing 21 can be formed. The embedding wiring layer has connected the up electrode 33 with the semiconductor substrate 10. It can

perform connecting the upper wiring to the upper layer of the up electrode 33 further, for example, or using up wiring 33 as a storage node electrode as a next process, forming a capacitor insulator layer and a plate electrode in the upper layer, and considering as capacitor structure etc.

5 [0116] Using the material which makes a mask layer two-layer structure and has etch selectivity to an insulator layer 20 in the layer of the bottom, since a selection ratio does not have the sidewall mask layer of contest low polysilicon structurally as a mask, expansion of the path of opening and retreat of a shoulder are suppressed, and in the opening process of the 2nd contact hole CH2 to the above-mentioned insulator layer
10 20, it is hard to cause wiring short-circuit etc. Moreover, it is possible to thin-film-ize the 1st mask layer 21 from the mask layer of the conventional method, the aspect ratio of the 2nd contact hole CH2 can be made smaller than before, and it is hard to cause poor opening, such as a dirty stop. From these things, the early diameter of opening can be maintained [be / under / etching / letting it pass / it], and opening of the contact
15 hole of the detailed simultaneously perpendicular configuration where the unreliable reliability of wiring with poor contact hole openings, such as a micro loading effect and an etching stop, was secured can be carried out.

[0117] moreover, since retreat of the 1st mask layer 21 is suppressed, even if it thin-film-izes thickness of the embedding wiring layer 30 when embedding the 2nd
20 contact hole CH2 with contest polysilicon etc. rather than the conventional method, a plug loss when the depression of a contact hole upper part portion can be made small and carries out etchback can be suppressed small, and a semiconductor substrate is received -- it can scoop out -- etc. -- contact junction can be formed, without causing poor contact Since the plug loss is suppressed when forming an up electrode in the
25 upper layer of an embedding wiring layer, it can form easily.

[0118] As mentioned above, retreat of the shoulder of a mask layer is suppressed according to this operation form, expansion of a contact hole is suppressed, and the

semiconductor device which has the detailed contact which secured the reliability of the wiring to the semiconductor substrate which has produced neither short-circuit of wiring nor an etching stop which could scoop out and suppressed the ** plug loss can be manufactured.

5 [0119] The cross section of the semiconductor device manufactured by the manufacture method of the 3rd operation form book operation form is shown in drawing 25 . On the semiconductor substrate 10 LDD sidewall insulator layer 25a of the silicon oxide formed in the gate electrode 31 of a polycide which consists of bottom gate electrode 31a of contest polysilicon formed through the gate insulator layer 24, and top
10 gate electrode 31b of tungsten silicide, and its both-sides section, Elements, such as an MOS transistor which has the LDD diffusion layer 11 and the source drain diffusion layer 12 which were formed into the semiconductor substrate 10 of the both-sides section of the gate electrode 31, are formed, and the insulator layer 20 which consists of a silicon oxide is formed in the upper layer. Opening of the contact hole which
15 reaches the semiconductor substrate 10 is carried out to the insulator layer 20, it embeds in a contact hole, wiring layer 30a is embedded, and it has connected with the semiconductor substrate 10.

[0120] This semiconductor device is a semiconductor device which expansion of the path of a contact hole is suppressed and has produced neither short-circuit of wiring,
20 nor an etching stop and which has the detailed contact which secured the reliability of the wiring to a semiconductor substrate which could scoop out and suppressed the ** plug loss.

[0121] Below, the manufacture method of the semiconductor device of this above-mentioned operation form is explained. First, as shown in drawing 26 (a), after
25 forming the gate insulator layer 24 by the oxidizing [thermally] method on the silicon semiconductor substrate 10, for example, contest polysilicon (reactant gas: — SiH₄/H₂/PH₃=0.45slm/10slm/— 20 sccm) Pressure : Make about 100nm deposit in the

reduced pressure CVD of conditions with a 10.6kPa and a substrate temperature of 620 degrees C, and layer 31a for bottom gate electrodes is formed. the upper layer -- for example, tungsten silicide -- (reactant gas: -- about 100nm is made to deposit in the heat CVD of the conditions of $\text{SiH}_2\text{Cl}_2/\text{WF}_6=100\text{sccm}/3.6\text{sccm}$, and pressure:133Pa and substrate temperature [of 595 degrees C]), and layer 31b for top gate electrodes is formed

[0122] Next, a coating machine is used for the upper layer of layer 31b. for top gate electrodes, a resist film is applied, patterning is carried out to a gate electrode pattern with a line breadth of about 0.35 micrometers by the excimer stepper, and the resist film R2 is formed. next, an etching system (reactant gas: $\text{O}_2=75\text{sccm}$ [$\text{Cl}_2/$]/6 --) efficient consumer response type [for example,] Pressure : 0.4Pa, mu wave output:1200W (2.45GHz), RF bias:70-50W (800kHz), It etches by using the resist film R2 as a mask on conditions with a substrate temperature of 20 degrees C, and the gate electrode 31 of a polycide which consists of bottom gate electrode 31a and top gate electrode 31b is formed.

[0123] Next, after removing the resist film R2, the gate electrode 31 is used as a mask, into the semiconductor substrate 10, an ion implantation is performed and the LDD diffusion layer 11 is formed. Next, for example, cover the gate electrode 31 and the semiconductor substrate 10 with reduced pressure CVD on the whole surface, a silicon oxide is made to deposit, etchback is performed on condition that an anode couple parallel monotonous type etching system (reactant gas : CHF_3/CF_4 pressure : $4/\text{Ar}=40\text{sccm}/40\text{sccm}/800\text{sccm}$, 200Pa, mu wave output : 500 W (2380kHz), substrate temperature of 50 degrees C), and LDD sidewall insulator layer 25a is formed. Next, the gate electrode 31 with LDD sidewall insulator layer 25a is used as a mask, into the semiconductor substrate 10, an ion implantation is performed and the source drain diffusion layer 12 is formed. As mentioned above, the MOS transistor which has the gate insulator layer 24, the gate electrode 31, LDD sidewall insulator layer 25a, the LDD

diffusion layer 11, and the source drain diffusion layer 12 is formed.

[0124] Next, as shown in drawing 26 (b), cover elements, such as a transistor formed as mentioned above, for example, a silicon oxide is made to deposit in about 600nm thickness by ordinary-pressure CVD, flattening is carried out by the reflow or etchback, and an insulator layer 20 is formed. Next, a silicon nitride is made to deposit on the upper layer of an insulator layer 20 in about 300nm thickness by the vertical-mold reduced pressure CVD of conditions, and the 1st mask layer 21 is formed (reactant gas : SiH₂Cl₂/NH₃=50sccm/500sccm, a pressure : 35Pa, substrate temperature of 750 degrees C).

[0125] Next, as shown in drawing 26 (c), a resist film is applied to the upper layer of the 1st mask layer 21, for example, patterning is carried out to the opening pattern of the 1st contact hole of about 0.3 micrometerphi by the excimer stepper, and a resist film is formed, for example, it etches in an efficient consumer response type etching system, and opening of the 1st contact hole CH1 to which an insulator layer 20 is exposed is carried out to the 1st mask layer 21.

[0126] Next, as for example, (reactant gas : SiH₂Cl₂/NH₃=50sccm/500sccm, a pressure : 35Pa, substrate temperature of 750 degrees C) shows drawing 27 (d), by the vertical-mold reduced pressure CVD of conditions, cover the inside of the 1st mask layer 21 and the 1st contact hole CH1 on the whole surface, a silicon nitride is made to deposit in about 120nm thickness, and the layer 23 for sidewall masks is formed.

[0127] Next, as shown in drawing 27 (e), etchback of the layer 23 for sidewall masks is performed in an efficient consumer response type etching system, and sidewall mask layer 23a is formed. By formation of sidewall mask layer 23a, the path of a contact hole can be narrowed for example, to about 0.1 micrometerphi.

[0128] Next, as shown in drawing 28 (f), opening of the 2nd contact hole CH2 with an open aperture [phi] of about 0.1 micrometers to which it etches by using the 1st mask layer 21 and sidewall mask layer 23a as a mask in an efficient consumer response type

etching system, an insulator layer 20 is penetrated, and the source drain diffusion layer 12 in the semiconductor substrate 10 is exposed is carried out.

[0129] Next, as for example, (reactant gas : 4/1% PH₃ of SiH(s) =1000sccm/50sccm, a pressure : 65Pa, substrate temperature of 550 degrees C) shows drawing 28 (g), embed
5 the inside of the 2nd contact hole CH2 by the vertical-mold reduced pressure CVD of conditions, about 400nm contest p type impurity content polysilicon is made to deposit all over the 1st mask layer 21 upper surface, and the embedding wiring layer 30 is formed.

[0130] Next, as shown in drawing 28 (h), etchback is performed on the whole surface in
10 an efficient consumer response type etching system, it is embedded in the 2nd contact hole CH2, and embedding wiring layer 30a which connects for example, has the path of 0.1 micrometerphi in the source drain diffusion layer 12 in the semiconductor substrate 10 is formed. At this time, the plug loss by which it *****s caudad rather than the height of the front face of the 1st mask layer 21, and the front face is equivalent to the
15 thickness of the 1st mask layer 21 of a simultaneously has generated embedding wiring layer 30a.

[0131] Next, wet etching of a phosphoric-acid system is given, for example, and the semiconductor device of the structure shown in drawing 25 by removing the 1st mask layer 21 and sidewall mask layer 23a is formed. As a next process, the upper wiring is
20 connected to the upper layer of embedding wiring layer 30a, for example, or it can perform forming a storage node electrode and considering as capacitor structure etc.

[0132] In the manufacture method of the semiconductor device of this above-mentioned operation gestalt, a tungsten-tungsten silicide film can also be used as the 1st mask layer 21 and sidewall mask layer 23a. In this case, membranes can be
25 formed by the CVD of conditions (reactant gas : SiH₃ Cl/WF₆=300sccm/3sccm, a pressure : 133Pa, substrate temperature of 595 degrees C). Moreover, in order to remove the 1st mask layer and sidewall mask layer of a tungsten-tungsten silicide film

after the etchback of an embedding wiring layer, the wet etching of for example, $2OH_2$ system can be used.

[0133] Since the material which has etch selectivity to an insulator layer 20 in a mask layer (the 1st mask layer and sidewall mask layer) was used, expansion of the path of opening and retreat of a shoulder are suppressed, and in the opening process of the 2nd contact hole CH2 to the above-mentioned insulator layer 20, it is hard to cause a poor proof pressure, wiring short-circuit, etc. Moreover, it is possible to thin-film-ize the 1st mask layer 21 from the mask layer of the conventional method, the aspect ratio of the 2nd contact hole CH2 can be made smaller than before, and it is hard to cause poor opening, such as a dirty stop. From these things, the early diameter of opening can be maintained [be / under / etching / letting it pass / it], and opening of the contact hole of the detailed simultaneously perpendicular configuration where the unreliable reliability of wiring with poor contact hole openings, such as a micro loading effect and an etching stop, was secured can be carried out.

[0134] Moreover, it is possible to suppress a plug loss by forming the 1st mask layer of the thickness which is equivalent to the plug loss to generate from removing the 1st mask layer after formation of embedding wiring layer 30a. Furthermore, since retreat of the 1st mask layer 21 is suppressed, even if it thin-film-izes thickness of the embedding wiring layer 30 when embedding the 2nd contact hole CH2 with contest polysilicon etc. rather than the conventional method, a plug loss when the depression of a contact hole upper part portion can be made small and carries out etchback can be suppressed further. Since the plug loss is suppressed when the contact junction which this connects stably can be formed and it forms an up electrode in the upper layer of an embedding wiring layer, it can form easily.

[0135] As mentioned above, a plug loss is suppressed by this operation gestalt, retreat of the shoulder of a mask layer is suppressed, expansion of a contact hole is suppressed, and the semiconductor device which has the detailed contact which

secured the reliability of the wiring to the semiconductor substrate which has produced neither short-circuit of wiring nor an etching stop which could scoop out and suppressed the ** plug loss can be manufactured.

[0136] this invention can apply it anything, if the semiconductor device of MOS
5 transistors, such as DRAM, the semiconductor device of bipolar **, or an A/D converter is the semiconductor device which has a contact hole. It is detailed to the semiconductor device with which detailed-izing of equipment and reduction-ization were advanced, and it can be provided with junction by reliable contact.

[0137] this invention is not limited to the gestalt of the above-mentioned operation. For
10 example, the 1st mask layer, the 2nd mask layer, and a sidewall mask layer are good also as composition more than a multilayer respectively. Moreover, as a plasma etching method, etching of an others and ICP type and various kinds, such as helicon wave plasma etching, can be used. [plasma etching / efficient consumer response type] In addition, change various in the range which does not deviate from the summary of this
15 invention can be made about process conditions, such as an equipment configuration, SAMPURO structure, etching, and polish, etc. Moreover, in the semiconductor device which has an MOS transistor, a monolayer or a multilayer is sufficient as a gate electrode, for example, it may form an offset insulator layer and a thin silicon nitride on a gate electrode, and may carry out opening of the contact hole to a self-adjustment
20 target. A source drain diffusion layer can use various structures, such as LDD structure. In addition, change various in the range which does not deviate from the summary of this invention can be made.

[0138]

[Effect of the Invention] In the method of according to this invention, forming a sidewall
25 in a contact hole wall, and narrowing and carrying out opening of the diameter of opening of a contact hole Use a two-layer mask layer and expansion of the diameter of opening under etching etc. is suppressed by considering as the structure where it does

not have the sidewall structure of reducing a selection ratio about a lower mask layer. Generating of a plug loss can be suppressed and the manufacture method of a semiconductor device which neither short-circuit of wiring nor an etching stop produces of having the detailed contact which secured the reliability of wiring can be
5 offered.

[0139] Moreover, according to this invention, form a sidewall in a contact hole wall and it sets to the method of narrowing and carrying out opening of the diameter of opening of a contact hole. By removing a mask layer and a sidewall mask layer, embedding, after forming the embedding wiring layer into a contact hole, and leaving a wiring layer,
10 although one layer is sufficient as a mask layer Generating of a plug loss can be suppressed and the manufacture method of a semiconductor device of having the detailed contact which secured the reliability of wiring can be offered.

15

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is the cross section of the semiconductor device manufactured
20 by the manufacture method of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 2] Drawing 2 is the cross section showing the manufacturing process of the manufacture method of the semiconductor device of the 1st operation gestalt of this invention, in (a), to the formation process of the resist film for the 1st contact hole, (b)
25 shows even the opening process of the 1st contact hole, and (c) shows even the formation process of the layer for sidewall masks.

[Drawing 3] Drawing 3 shows the process of a continuation of drawing 2 , and (d) shows

even the opening process of the 2nd contact hole that (e) penetrates the 1st mask layer, to the formation process of a sidewall mask layer.

[Drawing 4] Drawing 4 shows the process of a continuation of drawing 3 , to the opening process of the 2nd contact hole which penetrates an insulator layer, (g) embeds (f) and
5 it shows even the formation process of a wiring layer.

[Drawing 5] Drawing 5 is the cross section of the semiconductor device manufactured by the manufacture method of the semiconductor device of the example 1 of this invention.

[Drawing 6] Drawing 6 is the cross section showing the manufacturing process of the
10 manufacture method of the semiconductor device of the example 1 of this invention, in (a), to the formation process of the resist film for the 1st contact hole, (b) shows even the opening process of the 1st contact hole, and (c) shows even the formation process of the layer for sidewall masks.

[Drawing 7] Drawing 7 shows the process of a continuation of drawing 6 , and (d) shows
15 even the opening process of the 2nd contact hole that (e) penetrates the 1st mask layer, to the formation process of a sidewall mask layer.

[Drawing 8] Drawing 8 shows the process of a continuation of drawing 7 , to the opening process of the 2nd contact hole which penetrates an insulator layer, (g) embeds (f) and it shows even the formation process of a wiring layer.

[Drawing 9] Drawing 9 is the cross section of the semiconductor device manufactured
20 by the manufacture method of the example 2 of this invention.

[Drawing 10] Drawing 10 is the cross section showing the manufacturing process of the manufacture method of the semiconductor device of the example 2 of this invention, in (a), to the formation process of the resist film for the 1st contact hole, (b) shows even
25 the opening process of the 1st contact hole, and (c) shows even the formation process of the layer for sidewall masks.

[Drawing 11] Drawing 11 shows the process of a continuation of drawing 10 , and (d)

shows even the opening process of the 2nd contact hole that (e) penetrates the 1st mask layer, to the formation process of a sidewall mask layer.

[Drawing 12] Drawing 12 shows the process of a continuation of drawing 11 , to the opening process of the 2nd contact hole which penetrates an insulator layer, (g) embeds (f) and it shows even the formation process of a wiring layer.

[Drawing 13] Drawing 13 is the cross section of the semiconductor device manufactured by the manufacture method of the example 3 of this invention.

[Drawing 14] Drawing 13 is the cross section showing the manufacturing process of the manufacture method of the semiconductor device of the example 3 of this invention, in (a), to the formation process of the resist film for gate electrodes, (b) shows even the formation process of the layer for LDD sidewall insulator layers, and (c) shows even the formation process of a LDD sidewall insulator layer.

[Drawing 15] Drawing 15 shows the process of a continuation of drawing 14 , in (d), to the formation process of the 2nd mask layer, (e) shows even the opening process of the 1st contact hole, and (f) shows even the formation process of a sidewall mask layer.

[Drawing 16] Drawing 16 shows the process of a continuation of drawing 15 , to the opening process of the 2nd contact hole which penetrates the 1st mask layer, (i) embeds (h) to the opening process of the 2nd contact hole which penetrates *****, and (g) shows even the formation process of a wiring layer.

[Drawing 17] Drawing 17 is the cross section of the semiconductor device manufactured by the manufacture method of the example 4 of this invention.

[Drawing 18] Drawing 18 is the cross section showing the manufacturing process of the manufacture method of the semiconductor device of the example 4 of this invention, in (a), to the formation process of the resist film for the 1st contact hole, (b) shows even the formation process of the layer for sidewall masks, and (c) shows even the formation process of a sidewall mask layer.

[Drawing 19] Drawing 19 shows the process of a continuation of drawing 18 , to the

opening process of the 2nd contact hole which penetrates the 1st mask layer, (f) embeds (e) to the opening process of the 2nd contact hole which penetrates an insulator layer, and (d) shows even the formation process of a wiring layer.

[Drawing 20] Drawing 20 shows the process of a continuation of drawing 19 , (h) shows even the formation process of the resist film for storage node electrodes, and (i) shows even the formation process of a storage node electrode.

[Drawing 21] Drawing 21 is the cross section of the semiconductor device manufactured by the manufacture method of the 2nd operation form of this invention.

[Drawing 22] Drawing 22 is the cross section showing the manufacturing process of the manufacture method of the semiconductor device of the 2nd operation form of this invention, in (a), to the formation process of the resist film for the 1st contact hole, (b) shows even the opening process of the 1st contact hole, and (c) shows even the formation process of the layer for sidewall masks.

[Drawing 23] Drawing 23 shows the process of a continuation of drawing 22 , in (d), to the formation process of a sidewall mask layer, (e) penetrates the 1st mask layer and (f) shows even the removal process of the 2nd mask layer and a sidewall mask layer to the opening process of the 2nd contact hole attained to the middle of an insulator layer.

[Drawing 24] To the opening process of the 2nd contact hole which penetrates an insulator layer, drawing 24 shows the process of a continuation of drawing 23 , (h) embeds (g), to the formation process of a wiring layer, (i) embeds it and it shows even the etchback process of a wiring layer.

[Drawing 25] Drawing 25 is the cross section of the semiconductor device manufactured by the manufacture method of the 3rd operation form of this invention.

[Drawing 26] Drawing 26 is the cross section showing the manufacturing process of the manufacture method of the semiconductor device of the 3rd operation form of this invention, in (a), to the formation process of a transistor, (b) shows even the formation process of the 1st mask layer, and (c) shows even the opening process of the 1st

contact hole.

[Drawing 27] Drawing 27 shows the process of a continuation of drawing 26 , (d) shows even the formation process of the layer for sidewall masks, and (e) shows even the formation process of a sidewall mask layer.

5 [Drawing 28] To the opening process of the 2nd contact hole which penetrates an insulator layer, drawing 28 shows the process of a continuation of drawing 27 , (g) embeds (f), to the formation process of a wiring layer, (h) embeds it and it shows even the etchback process of a wiring layer.

[Drawing 29] Drawing 29 is the cross section of the semiconductor device
10 manufactured by the manufacture method of the semiconductor device of the conventional example.

[Drawing 30] Drawing 30 is the cross section showing the manufacturing process of the manufacture method of the conventional semiconductor device, in (a), to the formation process of the resist film for the 1st contact hole, (b) shows even the opening process
15 of the 1st contact hole, and (c) shows even the formation process of the layer for sidewall masks.

[Drawing 31] Drawing 31 shows the process of a continuation of drawing 30 , (e) embeds to the formation process of a sidewall mask layer, and (f) embeds (d) to the opening process of the 2nd contact hole, and it shows even the formation process of a
20 wiring layer.

[Drawing 32] Drawing 32 shows the process of a continuation of drawing 30 , and (a) shows [(b)] even dirty stop generating in opening of the 2nd contact hole to the formation process of a sidewall mask layer.

[Drawing 33] Drawing 33 is the important section enlarged view showing the process of
25 a continuation of drawing 30 , (a) shows even the formation process of a sidewall mask layer, and (b) shows even the opening process of the 2nd contact hole.

[Drawing 34] Drawing 34 shows the process of a continuation of drawing 30 , (a) shows

even the formation process of a sidewall mask layer, and (b) shows even the opening process of the 2nd contact hole.

[Drawing 35] Drawing 35 shows the process of a continuation of drawing 34 , (c) embeds, and to the formation process of a wiring layer, (d) embeds it and it shows even the etchback process of a wiring layer.

[Description of Notations]

10 [-- Source drain diffusion layer,] -- A semiconductor substrate, 11 -- A LDD diffusion layer, 12 20 [-- A part of 1st mask layer] -- An insulator layer, 21 -- The 1st mask layer, 21a 22 [-- Sidewall mask layer,] -- The 2nd mask layer, 23 -- The layer for sidewall masks, 23a 24 -- A gate insulator layer, 25 -- The layer for LDD sidewall insulator layers, 25 a--LDD sidewall insulation membrane layer, 26 [-- Gate electrode,] -- 30 A capacitor insulator layer, 30a -- An embedding wiring layer, 31 31a [-- Plate electrode,] -- A bottom gate electrode, 31b -- A top gate electrode, 32 33 [-- A contact hole, MN / -- A storage node, PL / -- A plug loss, ES / -- A dirty stop, 15 FC / -- A fluorocarbon layer, B / -- Retreat width of face, H / -- It dents and is S. / -- A proof-pressure fall part, X / -- A substrate should scoop out.] -- An up electrode, R1, R2, R3 -- A resist film, CH1, CH2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 294367

(43) 公開日 平成 10 年 (1998) 11 月 4 日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/768			H01L 21/90	C
21/28			21/28	L
21/3065			21/302	M
27/108			27/10	621 B
21/8242				

審査請求 未請求 請求項の数 17 O L (全 23 頁)

(21) 出願番号 特願平 9 - 103644

(22) 出願日 平成 9 年 (1997) 4 月 21 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 中西 賢真

東京都品川区北品川 6 丁目 7 番 35 号 ソ

ニー株式会社内

(72) 発明者 長岡 弘二郎

東京都品川区北品川 6 丁目 7 番 35 号 ソ

ニー株式会社内

(72) 発明者 木村 忠之

東京都品川区北品川 6 丁目 7 番 35 号 ソ

ニー株式会社内

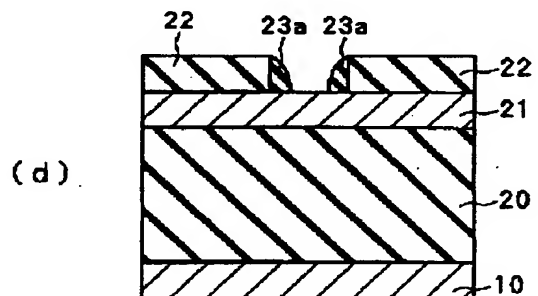
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置の製造方法

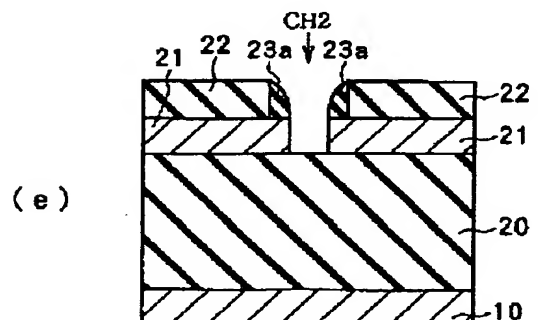
(57) 【要約】

【課題】 配線のショートやエッチングストップの生じない、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供する。

【解決手段】 半導体基板 10 上に絶縁膜 20 を形成し、絶縁膜上に第 1 マスク層 21 を形成し、第 1 マスク層の上層に第 2 マスク層 22 を形成し、第 2 マスク層に第 1 コンタクトホール CH1 を開口し、第 1 コンタクトホールの内壁に第 1 コンタクトホールの開口径を狭めるサイドウォールマスク層 23a を形成し、第 2 マスク層および前記サイドウォールマスク層をマスクにして第 1 マスク層に第 1 コンタクトホールと連通する第 2 コンタクトホール CH2 を開口し、第 2 コンタクトホールが開口された第 1 マスク層をマスクにして絶縁膜を貫通する第 2 コンタクトホールを開口し、連通する第 1 コンタクトホールおよび第 2 コンタクトホールを導電体で埋め込み、配線層 30 を形成する。



(d)



(e)

【特許請求の範囲】

【請求項 1】半導体基板上に絶縁膜を形成する工程と、
前記絶縁膜上に第 1 マスク層を形成する工程と、
前記第 1 マスク層の上層に第 2 マスク層を形成する工程と、

前記第 2 マスク層に第 1 コンタクトホールを開口する工程と、

前記第 1 コンタクトホールの内壁に前記第 1 コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、

前記第 2 マスク層および前記サイドウォールマスク層をマスクにして前記第 1 マスク層に前記第 1 コンタクトホールと連通する第 2 コンタクトホールを開口する工程と、

前記第 2 コンタクトホールが開口された第 1 マスク層をマスクにして前記絶縁膜を貫通する第 2 コンタクトホールを開口する工程と、

前記連通する第 1 コンタクトホールおよび第 2 コンタクトホールを導電体で埋め込み、配線層を形成する工程とを有する半導体装置の製造方法。

【請求項 2】前記第 1 マスク層に第 2 コンタクトホールを開口する工程が、前記第 1 マスク層を貫通して前記絶縁膜を露出させる工程である請求項 1 記載の半導体装置の製造方法。

【請求項 3】前記第 1 マスク層に第 2 コンタクトホールを開口する工程が、前記第 1 マスク層を貫通し、前記絶縁膜の上方に達する第 2 コンタクトホールを開口する工程である請求項 1 記載の半導体装置の製造方法。

【請求項 4】前記第 1 マスク層をマスクにして前記絶縁膜を貫通する第 2 コンタクトホールを開口する工程が、同時に前記第 2 マスク層および前記サイドウォールマスク層を除去する工程である請求項 1 記載の半導体装置の製造方法。

【請求項 5】前記第 1 マスク層に第 2 コンタクトホールを開口する工程と、前記第 1 マスク層をマスクにして前記絶縁膜を貫通する第 2 コンタクトホールを開口する工程の間に、前記第 2 マスク層および前記サイドウォールマスク層を除去する工程を有する請求項 1 記載の半導体装置の製造方法。

【請求項 6】前記第 1 マスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する請求項 1 記載の半導体装置の製造方法。

【請求項 7】前記第 2 マスク層およびサイドウォールマスク層を、前記第 1 マスク層とエッチング選択比をとることができる材料で形成する請求項 1 記載の半導体装置の製造方法。

【請求項 8】前記第 1 マスク層をポリシリコンで形成し、

前記第 2 マスク層およびサイドウォールマスク層を酸化シリコンあるいは窒化シリコンにより形成する請求項 7

記載の半導体装置の製造方法。

【請求項 9】前記第 1 マスク層を窒化シリコンで形成し、

前記第 2 マスク層およびサイドウォールマスク層をポリシリコンあるいは酸化シリコンにより形成する請求項 7 記載の半導体装置の製造方法。

【請求項 10】前記第 1 コンタクトホールの開口工程および第 2 コンタクトホールの開口工程の少なくともいずれかの工程が低圧高密度のプラズマエッチングにより開口する工程である請求項 1 記載の半導体装置の製造方法。

【請求項 11】前記低圧高密度のプラズマエッチングが ECR タイプ、ICP タイプ、あるいはヘリコン波プラズマタイプのいずれかのプラズマエッチングである請求項 10 記載の半導体装置の製造方法。

【請求項 12】半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上にマスク層を形成する工程と、

前記マスク層に第 1 コンタクトホールを開口する工程と、

前記第 1 コンタクトホールの内壁に前記第 1 コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、

前記マスク層および前記サイドウォールマスク層をマスクにして前記絶縁膜を貫通する第 2 コンタクトホールを開口する工程と、

前記連通する第 1 コンタクトホールおよび第 2 コンタクトホールを導電体で埋め込み、配線層を形成する工程と、

前記マスク層および前記サイドウォールマスク層を除去する工程とを有し、

前記マスク層および前記サイドウォールマスク層を前記配線層に対してエッチング選択比を有する材料により形成する半導体装置の製造方法。

【請求項 13】前記マスク層および前記サイドウォールマスク層を窒化シリコンで形成し、

前記配線層をポリシリコンで形成する請求項 12 記載の半導体装置の製造方法。

【請求項 14】前記マスク層および前記サイドウォールマスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する請求項 12 記載の半導体装置の製造方法。

【請求項 15】前記絶縁膜を酸化シリコンで形成し、前記マスク層および前記サイドウォールマスク層を窒化シリコンで形成し、

前記配線層をポリシリコンで形成する請求項 14 記載の半導体装置の製造方法。

【請求項 16】前記第 1 コンタクトホールの開口工程および第 2 コンタクトホールの開口工程の少なくともいずれかの工程が低圧高密度のプラズマエッチングにより開

口する工程である請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 7】前記低圧高密度のプラズマエッチングが E C R タイプ、I C P タイプ、あるいはヘリコン波プラズマタイプのいずれかのプラズマエッチングである請求項 1 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【00001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に微細なコンタクトを有する半導体装置の製造方法に関する。

【00002】

【従来の技術】近年の V L S I の高集積化は 3 年で次世代へ進み、デザインルールは前世代の 7 割の縮小化が行われ、縮小化に伴い半導体装置の高速化も実現してきた。この高集積化は半導体装置の製造工程における微細加工技術の進歩、特に光露光技術の高解像力化により達成されてきた。光露光技術の高解像力化は、デザインルールに対応した寸法精度、重ね合わせ精度を満足しつつ、露光装置、レジスト材料、レジストプロセスの高性能化により達成されてきた。

【00003】パターンサイズが 1. 0 ~ 0. 5 μm の光露光技術は、メモリを例とすると、1 M D R A M から 1 6 M D R A M に対応し、この間の大きな変化として、パターン露光する光が g 線 (4 3 6 n m) から i 線 (3 6 5 n m) に短波長化された。現在では i 線を用いた 0. 3 5 μm ルールの L S I が主力であるが、0. 2 5 μm ルールでは K r F エキシマレーザ (2 4 8. 8 n m) を用いて露光する技術が開発され、量産化の検討が行われている。

【00004】しかし、最近発表された 0. 2 5 μm 量産向け露光装置においては、セルサイズの微細化のトレンドの維持が困難になりつつある。これは、ステッパの位置合わせのばらつきの改善不足が原因となっており、位置合わせのばらつきが大きいために位置合わせの設計余裕を大きくせざるを得ないためである。結果的に配線幅が縮小化されたにもかかわらず、セルサイズの縮小化が困難となっている。従って、露光技術によらないセルサイズの縮小化技術が求められている。

【00005】その一つとして、コンタクトホール工程の位置合わせのためのマスク上の設計余裕を不要にできる自己整合コンタクト (Self Aligned Contact; 以下 S A C と略) 技術が注目されている。

【00006】この位置合わせの設計余裕を不要にできると言われている技術である S A C の形成法はいくつかあり、いずれも従来の露光だけを使った方法に比べてプロセスが多少複雑になる欠点を持つのが一般的である。しかし、将来的にその採用は不可欠と考えられており、S A C に関して様々な研究がなされている。

【00007】但し、S A C を実用化する方法には、薄い

S i , N , 膜上でエッチングを停止させるような難度の高いエッチング技術をクリアすることが必要である。対 S i , N , 高選択比プロセスとして、装置の放電方式によってもやや異なるが、基本的には C F 系保護膜を使い、S i O₂ エッチング速度の劣化を高密度プラズマを使うことで防ぐ方法が考えられている。

【00008】しかしながら、S A C 技術はトータルで見るとまだ課題が多いと言わざるを得ない。そこで、従来から知られているようなコンタクトホールを開口するためのマスクとなる層のコンタクトホール内壁にサイドウォールを形成し、コンタクトホールの径を狭めて開口する方法が試みられている。

【00009】上記の方法を適用して製造した半導体装置の断面図を図 2 9 に示す。半導体基板 1 0 上に図示しない M O S トランジスタなどの素子が形成されており、その上層に例えば酸化シリコンからなる絶縁膜 2 0 が形成されている。絶縁膜 2 0 には半導体基板 1 0 に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層 3 0 a が埋め込まれており、半導体基板 1 0 に接続している。

【00010】上記の半導体装置の製造方法について、以下に説明する。まず、図 3 0 (a) に示すように、半導体基板 1 0 上に、図示しない M O S トランジスタなどの素子を形成し、その上層に例えば酸化シリコンを堆積させ、リフローあるいはエッチバックにより平坦化して絶縁膜 2 0 を形成した後、例えばポリシリコンを堆積させてマスク層 2 1 を形成する。マスク層 2 1 の上層に、エキシマステッパーにより例えば 0. 4 μm ϕ のコンタクトホールパターンにパターンニングしたレジスト膜 R 1 を形成する。

【00011】次に、図 3 0 (b) に示すように、例えば R I E (反応性イオンエッチング) などのエッチングを行い、絶縁膜 2 0 を露出させる第 1 コンタクトホール C H 1 をマスク層 2 1 に形成する。

【00012】次に、図 3 0 (c) に示すように、例えばポリシリコンを第 1 コンタクトホール C H 1 内を埋め込んでマスク層 2 1 上面を全面に約 1 0 0 n m の膜厚で堆積させて、サイドウォールマスク用層 2 3 を形成する。

【00013】次に、図 3 1 (d) に示すように、例えば R I E などによりエッチバックを行い、ポリシリコンのサイドウォールマスク層 2 3 a を形成する。これにより、コンタクトホールの開口径を約 0. 2 μm ϕ に狭めることができる。

【00014】次に、図 3 1 (e) に示すように、マスク層 2 1 およびサイドウォールマスク層 2 3 a をマスクとして R I E などのエッチングを行い、絶縁膜 2 0 を貫通して半導体基板 1 0 を露出させる第 2 コンタクトホール C H 2 を開口する。サイドウォールマスク層 2 3 a の形成により、第 2 コンタクトホール C H 2 の開口径を約 0. 2 μm ϕ とすることができる。

【 0 0 1 5 】次に、図 3 1 (f) に示すように、第 2 コンタクトホール C H 2 を埋め込んで全面に例えばポリシリコンを堆積させ、埋め込み配線層 3 0 を形成する。

【 0 0 1 6 】次に、例えば R I E などのエッチングにより埋め込み配線層 3 0 をエッチバックしてコンタクトホールの外部にあるポリシリコン層を除去し、コンタクトホールに埋め込まれた埋め込み配線層 3 0 a を形成し、図 2 9 に至る。

【 0 0 1 7 】上記の方法によれば、前述の S A C と異なり、対 S i , N , 高選択比条件等の新規プロセスが不要で、マイクロローディング効果を注意深くクリアしていくという従来からのアプローチを適用することで、開口径 0 . 1 ~ 0 . 2 μ m ϕ 程度の微細なコンタクトホールの開口を達成することができる。

【 0 0 1 8 】

【発明が解決しようとする課題】しかしながら、この技術を用いて、0 . 2 5 μ m ルール世代において 0 . 1 ~ 0 . 2 μ m ϕ の極めて微細なコンタクトホールを開口する場合、コンタクトホールのアスペクト比が 5 ~ 1 0 と極めて高くなり、図 3 2 (a) に示す装置に対して第 2 コンタクトホールを開口すると、マイクロローディング効果によるエッチレートの低下が生じ、極端な場合、図 3 2 (b) に示すように、エッチストップ E S においてエッチングの進行が止まってしまいう現象が生じて、コンタクトホールの開口不良が生じる。

【 0 0 1 9 】上記の第 2 コンタクトホールの開口である、酸化シリコンからなる絶縁膜 2 0 のエッチングは、絶縁膜 2 0 表面へのフロロカーボン膜の堆積をしながらエッチングイオンの入射により進行するが、高アスペクト比のコンタクトホールでは入射イオンがホール底部にまで到達できにくくなり、過剰なフロロカーボン膜の堆積がエッチング反応を抑制するためにマイクロローディング効果やエッチストップの発生が生じるのである。

【 0 0 2 0 】従って、フロロカーボン膜の堆積を抑制したエッチングを行えば、マイクロローディング効果やエッチストップの発生を抑制することができるが、フロロカーボン膜の堆積を抑制すると酸化シリコンに対するポリシリコンのエッチング選択比が小さくなってしまいう問題がある。図 3 3 (a) はコンタクトホール開口前における開口部近傍の拡大図である。ポリシリコンのマスク層 2 1 の上層のフロロカーボン層 F C に比較して、サイドウォールマスク層 2 1 a の上層のフロロカーボン層 F C は膜厚が薄いためエッチングされやすくなっている。エッチングの進行に伴い、図 3 3 (b) に示すように、ポリシリコンのサイドウォールマスク層およびマスク層がエッチングされてその表面が後退し、コンタクトホール C H の開口径が拡大していく。この原因としては、ポリシリコンのサイドウォールマスク層が、エッチング選択比の低い構造となっていることもあげられる。

【 0 0 2 1 】図 3 4 , 3 5 は対ポリシリコン選択比を小

さくしてエッチングを行い、コンタクトホールを開口した場合の半導体装置の形状を示す。図 3 4 (a) に示すように、半導体基板 1 0 の上層にポリシリコンなどのゲート電極 3 1 などの配線層を有し、その上層の絶縁膜 2 0 にコンタクトホールを開口する。対ポリシリコン選択比を小さくしたことにより、図 3 4 (b) に示すように、図中の点線で示したサイドウォールマスク層 2 1 a およびマスク層 2 1 のエッチング前の表面は後退 B をしてマスク層は薄膜化し、開口径は拡大してしまう。

【 0 0 2 2 】次に、図 3 5 (c) に示すように、開口したコンタクトホール内およびマスク層の上層に全面にポリシリコンを堆積させて埋め込み配線層 3 0 を形成すると、コンタクトホールの開口径が拡大していることからコンタクトホール内を十分に満たすことができず、埋め込み配線層 3 0 のコンタクトホールの上方において大きな凹み H が生じる。このような状況のままエッチバックを行い、コンタクトホールの外部のポリシリコンを除去すると、図 3 5 (d) に示すように、プラグロス P L が大きくなり、場合によってはこのエッチバックにおいて半導体基板 1 0 までエッチングされて基板のえぐれ X が生じることがあり、コンタクト抵抗の増大など、コンタクト不良を招く。またコンタクトホールの開口径が拡大してゲート電極 3 1 などの配線層とコンタクトホール内の配線層の距離が部位 S において狭くなっており、耐圧不良あるいは配線のショートを引き起こすことがある。

【 0 0 2 3 】上記のような問題を解決するために、マスク層の膜厚を厚くしてコンタクトホールの開口エッチングにおけるマスク層の後退を抑制させる方法があるが、この場合コンタクトホールのアスペクト比が更に高くなるためにマイクロローディング効果やエッチストップの発生を起こしやすくなる恐れがある。また、アスペクト比が同じ場合でもポリシリコンのマスク層の膜厚を厚くするとエッチストップが生じやすい現象が報告されており、マージンの拡大のためにもマスク層の薄膜化が望まれている。

【 0 0 2 4 】本発明は上記の問題点に鑑みてなされたものであり、従って、本発明の目的は、コンタクトホール内壁にサイドウォールを形成し、コンタクトホールの開口径を狭めて開口する方法において、マスク層の薄膜化及びサイドウォールマスク層の後退を抑制し、配線のショートやエッチングストップの生じない、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供することである。

【 0 0 2 5 】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第 1 マスク層を形成する工程と、前記第 1 マスク層の上層に第 2 マスク層を形成する工程と、前記第 2 マスク層に第 1 コンタクトホールを開口する工程と、前記第 1 コンタクトホー

10

20

30

40

50

ルの内壁に前記第 1 コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、前記第 2 マスク層および前記サイドウォールマスク層をマスクにして前記第 1 マスク層に前記第 1 コンタクトホールと連通する第 2 コンタクトホールを開口する工程と、前記第 2 コンタクトホールが開口された第 1 マスク層をマスクにして前記絶縁膜を貫通する第 2 コンタクトホールを開口する工程と、前記連通する第 1 コンタクトホールおよび第 2 コンタクトホールを導電体で埋め込み、配線層を形成する工程とを有する。

【0026】上記の本発明の半導体装置の製造方法によれば、まず半導体基板上に絶縁膜を形成し、その上層に構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造となる第 1 マスク層を形成し、その上層に第 2 マスク層を形成する。次に、第 2 マスク層に第 1 コンタクトホールを形成する。次に、この第 1 コンタクトホールの内壁にサイドウォールマスク層を形成し、第 1 コンタクトホールの開口径を狭める。次に、この開口径を狭めたサイドウォールマスク層および第 2 マスク層をマスクとして第 1 マスク層に第 2 コンタクトホールを開口する。次に、この第 1 マスク層をマスクとして絶縁膜に第 2 コンタクトホールを開口する。この絶縁膜に対する第 2 コンタクトホールの開口工程においては、構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造である第 1 マスク層をマスクとしていることから、開口部の肩部の後退が抑制されており、開口径の拡大が抑制されているので、耐圧不良や配線ショートなどを引き起こしにくい。また、第 1 マスク層を従来方法のマスク層より薄膜化することが可能で、第 2 コンタクトホールのアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0027】また、この第 1 マスク層の後退が抑制されていることから、第 2 コンタクトホールを導電体で埋め込んだときの埋め込み配線層の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、埋め込み配線層をエッチバックしたときのブラグロス小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【0028】上記の本発明の半導体装置の製造方法は、好適には、前記第 1 マスク層に第 2 コンタクトホールを開口する工程が、前記第 1 マスク層を貫通して前記絶縁膜を露出させる工程であるか、もしくは、前記第 1 マスク層に第 2 コンタクトホールを開口する工程が、前記第 1 マスク層を貫通し、前記絶縁膜の上方に達する第 2 コ

ンタクトホールを開口する工程である。第 1 マスク層に径を狭めたコンタクトホールを開口し、次にこの第 1 マスク層をマスクとして絶縁膜に第 2 コンタクトホールを開口することができるので、開口径の拡大などを抑制した信頼性の高いコンタクトホールを開口することができる。

【0029】上記の本発明の半導体装置の製造方法は、好適には、前記第 1 マスク層をマスクにして前記絶縁膜を貫通する第 2 コンタクトホールを開口する工程が、同時に前記第 2 マスク層および前記サイドウォールマスク層を除去する工程である。第 2 マスク層およびサイドウォールマスク層は、第 1 マスク層へ第 2 コンタクトホールを開口した時点でその役割を終了する。第 1 マスク層への第 2 コンタクトホールを開口の後は除去することによりマスク層の薄膜化を図ることができ、さらに、絶縁膜への第 2 コンタクトホールの開口と同時に行うので工程数の削減を行うことができる。

【0030】上記の本発明の半導体装置の製造方法は、好適には、前記第 1 マスク層に第 2 コンタクトホールを開口する工程と、前記第 1 マスク層をマスクにして前記絶縁膜を貫通する第 2 コンタクトホールを開口する工程の間に、前記第 2 マスク層および前記サイドウォールマスク層を除去する工程を有する。第 1 マスク層への第 2 コンタクトホールを開口の後は除去することによりマスク層の薄膜化を図ることができ、マイクロローディング効果などをさらに抑制することができる。

【0031】上記の本発明の半導体装置の製造方法は、好適には、前記第 1 マスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する。これにより、絶縁膜への第 2 コンタクトホールの開口における第 1 マスク層の後退やコンタクトホールの開口径の拡大などをさらに抑制することができる。

【0032】上記の本発明の半導体装置の製造方法は、好適には、前記第 2 マスク層およびサイドウォールマスク層を、前記第 1 マスク層とエッチング選択比をとることができる材料で形成する。これにより、第 1 マスク層への第 2 コンタクトホールの開口における開口径の拡大を抑制でき、さらに第 1 マスク層を残して第 2 マスク層およびサイドウォールマスク層を除去することが可能となる。このためには、第 1 マスク層をポリシリコンで形成し、第 2 マスク層およびサイドウォールマスク層を酸化シリコンあるいは窒化シリコンにより形成するか、もしくは、第 1 マスク層を窒化シリコンで形成し、第 2 マスク層およびサイドウォールマスク層をポリシリコンあるいは酸化シリコンにより形成することで実現することが可能である。

【0033】さらに上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上にマスク層を形成する工程と、前記マスク層に第 1 コンタクトホールを開口する工

10

20

30

40

50

程と、前記第1コンタクトホールの内壁に前記第1コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、前記マスク層および前記サイドウォールマスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程と、前記連通する第1コンタクトホールおよび第2コンタクトホールを導電体で埋め込み、配線層を形成する工程と、前記マスク層および前記サイドウォールマスク層を除去する工程とを有し、前記マスク層および前記サイドウォールマスク層を前記配線層に対してエッチング選択比を有する材料により形成する。

【0034】上記の本発明の半導体装置の製造方法によれば、まず半導体基板上に絶縁膜を形成し、その上層にマスク層を形成し、マスク層に第1コンタクトホールを形成する。次に、この第1コンタクトホールの内壁にサイドウォールマスク層を形成し、第1コンタクトホールの開口径を狭める。次に、この開口径を狭めたサイドウォールマスク層およびマスク層をマスクとして絶縁膜に第2コンタクトホールを開口する。次に、第2コンタクトホール内を埋め込んで全面に導電体を堆積させ、エッチバックしてコンタクトホールの外部の導電体を除去した後、マスク層およびサイドウォールマスク層を除去する。このように、埋め込み配線層のエッチバック後にマスク層およびサイドウォールマスク層を除去することから、埋め込み配線層のエッチバックにより発生したブラグロスに相当する分の膜厚で第1マスク層を形成しておけば、ブラグロスを抑制し、実質的に無くすることも可能である。これにより、安定に接続するコンタクト接合を形成することができ、埋め込み配線層の上層に上部電極を形成する場合も、ブラグロスが抑制されているので容易に形成することができる。

【0035】上記の本発明の半導体装置の製造方法は、好適には、前記マスク層および前記サイドウォールマスク層を窒化シリコンで形成し、前記配線層をポリシリコンで形成する。これにより、マスク層およびサイドウォールマスク層を配線層に対してエッチング選択比を有するものとすることができる。

【0036】上記の本発明の半導体装置の製造方法は、好適には、前記マスク層および前記サイドウォールマスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する。これにより第2コンタクトホールの開口部の径の拡大や肩部の後退が抑制され、配線ショートなどを引き起こしにくく、第1マスク層を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールのアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくくすることができ、これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコン

タクトホールを開口することができる。また、第1マスク層の後退が抑制されているので、第2コンタクトホールをポリシリコンなどで埋め込んだときの埋め込み配線層の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのブラグロスを小さく抑制することができる。このためには、絶縁膜を酸化シリコンで形成し、マスク層およびサイドウォールマスク層を窒化シリコンで形成し、配線層をポリシリコンで形成することで実現することが可能である。

【0037】上記の本発明の半導体装置の製造方法は、好適には、前記第1コンタクトホールの開口工程および第2コンタクトホールの開口工程の少なくともいずれかの工程が低圧高密度のプラズマエッチングにより開口する工程である。コンタクトホールの開口には、従来タイプのプラズマ処理装置でも原理的に可能であるが、開口径の高精度制御や高アスペクトホール開口という観点では、最近注目されている低圧・高密度プラズマ発生のエッチング装置の使用が望ましい。低圧高密度プラズマにおいては、放電空間に電場を誘起させてプラズマ中の自由電子を加速し、その結果生じる高エネルギー電子によって中性ガスを電離し、高密度のプラズマを得る。低圧のエッチング室において高密度のプラズマを発生させると、基板表面近傍に形成されるイオンシース中でイオンが、他のイオンや中性ガス粒子と衝突する確率が小さくなるため、イオンの直進性が高まり、また電離度が高いためにイオン対中性ラジカルの比が大きくとれ、エッチングの異方性を高めることができる。低圧高密度のプラズマ源としては、ECR (Electron Cyclotron Resonance) タイプ、ICP (Inductively Coupled Plasma) タイプ、ヘリコン波プラズマタイプを好ましく用いることができる。

【0038】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

【0039】第1実施形態

本実施形態の製造方法により製造した半導体装置の断面図を図1に示す。半導体基板10上に図示しないMOSトランジスタなどの素子が形成されており、その上層を例えば酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、半導体基板10に接続している。

【0040】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0041】以下に、上記の本実施形態の半導体装置の

製造方法について説明する。まず、図 2 (a) に示すように、例えばシリコン半導体基板 1 0 上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して例えば酸化シリコンを常圧 C V D 法により堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜 2 0 を形成する。次に絶縁膜 2 0 の上層に例えば減圧 C V D 法によりポリシリコンを堆積させ、第 1 マスク層 2 1 を形成する。次に第 1 マスク層 2 1 の上層に例えば減圧 C V D 法により酸化シリコンを堆積させ、第 2 マスク層 2 2 を形成する。次に第 2 マスク層 2 2 の上層にレジスト膜を塗布し、例えば 4 0 0 n m φ の第 1 コンタクトホール C H 1 の開口パターンにパターニングしてレジスト膜 R 1 を形成する。

【 0 0 4 2 】 次に、図 2 (b) に示すように、例えばマグネトロン方式のエッチング装置にてレジスト膜 R 1 をマスクにしてエッチングを行い、第 1 マスク層 2 1 を露出させる第 1 コンタクトホール C H 1 を第 2 マスク層 2 2 に開口する。次に、レジスト膜 R 1 を除去する。

【 0 0 4 3 】 次に、図 2 (c) に示すように、例えば酸化シリコンを減圧 C V D 法にて第 2 マスク層 2 2 及び第 1 コンタクトホール C H 1 内を全面に被覆して堆積させ、サイドウォールマスク用層 2 3 を形成する。

【 0 0 4 4 】 次に、図 3 (d) に示すように、例えば、平行平板方式のエッチング装置にてサイドウォールマスク用層 2 3 のエッチバックを行い、サイドウォールマスク層 2 3 a を形成する。サイドウォールマスク層 2 3 a の形成により、コンタクトホールの径を例えば約 2 0 0 n m φ に狭めることができる。

【 0 0 4 5 】 次に、図 3 (e) に示すように、例えば E C R タイプのエッチング装置にて第 2 マスク層 2 2 およびサイドウォールマスク層 2 3 a をマスクにしてエッチングを行い、第 1 マスク層 2 1 を貫通して絶縁膜 2 0 を露出させる、開口径約 2 0 0 n m φ の第 2 コンタクトホール C H 2 を開口する。

【 0 0 4 6 】 次に、図 4 (f) に示すように、例えばマグネトロン方式のエッチング装置にて約 2 0 0 n m φ の開口径を有する第 1 マスク層 2 1 をマスクにしてエッチングを行い、絶縁膜 2 0 を貫通して半導体基板 1 0 を露出させる第 2 コンタクトホール C H 2 を絶縁膜 2 0 に開口する。第 2 マスク層 2 2 およびサイドウォールマスク層 2 3 a は絶縁膜 2 0 への第 2 コンタクトホール C H 2 の開口エッチングと同時にエッチング除去するか、あるいは第 2 コンタクトホール C H 2 の開口に先立って除去しておく。

【 0 0 4 7 】 次に、図 4 (g) に示すように、例えばポリシリコンを減圧 C V D 法により第 2 コンタクトホール C H 2 内を埋め込んで第 1 マスク層 2 1 上面を全面に堆積させ、埋め込み配線層 3 0 を形成する。

【 0 0 4 8 】 次に、例えば E C R タイプのエッチング装置にて全面にエッチバックを行い、第 2 コンタクトホー

ル C H 2 内に埋め込まれ、半導体基板 1 0 に接続する、例えば 2 0 0 n m φ の径を有する埋め込み配線層 3 0 a を形成し、図 1 に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層 3 0 a の上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【 0 0 4 9 】 上記の絶縁膜 2 0 への第 2 コンタクトホール C H 2 の開口工程においては、従来方法ではマスク層の開口部の肩部が後退して開口径が拡大し、絶縁膜 2 0 中の開口がテーパ形状となってゲート電極などの下層配線とコンタクトホールの側壁間の距離が狭まり、配線ショートあるいは耐圧不良をひき起こすことがあったが、本実施形態の半導体装置の製造方法においては、第 1 マスク層 2 1 は構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造であるので開口部の肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。また、第 1 マスク層 2 1 を従来方法のマスク層より薄膜化することが可能で、第 2 コンタクトホール C H 2 のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【 0 0 5 0 】 また、従来方法では第 2 コンタクトホールを開口する工程においてサイドウォールマスク層が大きく後退してしまうので、第 2 コンタクトホール C H 2 をポリシリコンで埋め込んだときにコンタクトホール上方部分に大きな凹みが生じ、その後のエッチバックにより埋め込み配線層のプラグロスが大きくなり、場合によってはコンタクトホール底部において半導体基板に対するえぐれが生じ、コンタクト抵抗の増大などのコンタクト不良を起こすことがあった。本実施形態の半導体装置の製造方法によれば、この第 1 マスク層 2 1 の後退が抑制されていることから、第 2 コンタクトホール C H 2 をポリシリコンなどで埋め込んだときの埋め込み配線層 3 0 の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのプラグロスを小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【 0 0 5 1 】 以上のように、本実施形態によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

【 0 0 5 2 】 以下に、本実施形態における実施例を図面を参照して説明する。

実施例 1

本実施例の製造方法により製造した半導体装置の断面図を図 5 に示す。半導体基板 10 上に図示しない MOS トランジスタなどの素子が形成されており、その上層を酸化シリコンからなる絶縁膜 20 が形成されている。絶縁膜 20 には半導体基板 10 に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層 30a が埋め込まれており、半導体基板 10 に接続している。

【0053】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0054】以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図 6 (a) に示すように、シリコン半導体基板 10 上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して酸化シリコンを常圧 CVD 法により約 700 nm の膜厚で堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜 20 を形成する。次に絶縁膜 20 の上層に減圧 CVD 法によりポリシリコンを 200 nm の膜厚で堆積させ、第 1 マスク層 21 を形成する。次に第 1 マスク層 21 の上層に減圧 CVD 法により酸化シリコンを 200 nm の膜厚で堆積させ、第 2 マスク層 22 を形成する。次に第 2 マスク層 22 の上層にコーターを用いてレジスト膜を 600 nm の膜厚で塗布し、エキシマステッパーにより 400 nm φ の第 1 コンタクトホールの開口パターンにパターニングしてレジスト膜 R1 を形成する。

【0055】次に、図 6 (b) に示すように、マグネロン方式のエッチング装置にてレジスト膜 R1 をマスクにして 200 nm エッチングを行い、第 1 マスク層 21 を露出させる第 1 コンタクトホール CH1 を第 2 マスク層 22 に開口する。次に、μ波ダウンフロー方式のアッシャーを用いてレジスト膜 R1 を除去する。

【0056】次に、図 6 (c) に示すように、酸化シリコンを減圧 CVD 法にて第 2 マスク層 22 及び第 1 コンタクトホール CH1 内を全面に被覆して 100 nm の膜厚で堆積させ、サイドウォールマスク用層 23 を形成する。

【0057】次に、図 7 (d) に示すように、平行平板方式のエッチング装置にてサイドウォールマスク用層 23 のエッチバックを 100 nm 行い、サイドウォールマスク層 23a を形成する。サイドウォールマスク層 23a の形成により、コンタクトホールの径を約 200 nm φ に狭めることができる。

【0058】次に、図 7 (e) に示すように、ECR タイプのエッチング装置にて第 2 マスク層 22 およびサイドウォールマスク層 23a をマスクにして 200 nm エ

ッチングを行い、第 1 マスク層 21 を貫通して絶縁膜 20 を露出させる、開口径約 200 nm φ の第 2 コンタクトホール CH2 を開口する。

【0059】次に、図 8 (f) に示すように、マグネロン方式のエッチング装置にて約 200 nm φ の開口径を有する第 1 マスク層 21 をマスクにして 700 nm エッチングを行い、絶縁膜 20 を貫通して半導体基板 10 を露出させる第 2 コンタクトホール CH2 を絶縁膜 20 に開口する。酸化シリコンからなる第 2 マスク層 22 およびサイドウォールマスク層 23a は絶縁膜 20 への第 2 コンタクトホール CH2 の開口エッチングと同時にエッチング除去する。

【0060】次に、図 8 (g) に示すように、ポリシリコンを減圧 CVD 法により第 2 コンタクトホール CH2 内を埋め込んで第 1 マスク層 21 上面を全面に 200 nm の膜厚で堆積させ、埋め込み配線層 30 を形成する。

【0061】次に、ECR タイプのエッチング装置にて全面に 400 nm のエッチバックを行い、第 2 コンタクトホール CH2 内に埋め込まれ、半導体基板 10 に接続する約 200 nm φ の径を有する埋め込み配線層 30a を形成し、図 5 に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層 30a の上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0062】上記の絶縁膜 20 への第 2 コンタクトホール CH2 の開口工程においては、第 1 マスク層 21 は構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造であるので開口部の肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。また、第 1 マスク層 21 を従来方法のマスク層より薄膜化することが可能で、第 2 コンタクトホール CH2 のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0063】また、第 1 マスク層 21 の後退が抑制されていることから、第 2 コンタクトホール CH2 をポリシリコンなどで埋め込んだときの埋め込み配線層 30 の膜厚を従来方法よりも薄膜化してもコンタクトホール上部分の凹みを小さくでき、エッチバックしたときのブラグロスを小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【0064】以上のように、本実施例によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制し

た、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

【 0 0 6 5 】 実施例 2

本実施例の製造方法により製造した半導体装置の断面図を図 9 に示す。半導体基板 1 0 上に図示しない MOS トランジスタなどの素子が形成されており、その上層を酸化シリコンからなる絶縁膜 2 0 が形成されている。絶縁膜 2 0 には半導体基板 1 0 に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層 3 0 a が埋め込まれており、半導体基板 1 0 に接続して

いる。

【 0 0 6 6 】 かかる半導体装置は、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【 0 0 6 7 】 以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図 1 0 (a) に示すように、シリコン半導体基板 1 0 上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して酸化シリコンを常圧 CVD 法により約 7 0 0 n m の膜厚で堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜 2 0 を形成する。次に絶縁膜 2 0 の上層に減圧 CVD 法によりポリシリコンを実施例 1 の場合よりも薄い 1 0 0 n m の膜厚で堆積させ、第 1 マスク層 2 1 を形成する。次に第 1 マスク層 2 1 の上層に減圧 CVD 法により窒化シリコンを 2 0 0 n m の膜厚で堆積させ、第 2 マスク層 2 2 を形成する。次に第 2 マスク層 2 2 の上層にコーターを用いてレジスト膜を 6 0 0 n m の膜厚で塗布し、エキシマステッパーにより 4 0 0 n m の第 1 コンタクトホールの開口パターンにパターンニングしてレジスト膜 R 1 を形成する。

【 0 0 6 8 】 次に、図 1 0 (b) に示すように、マグネトロン方式のエッチング装置にてレジスト膜 R 1 をマスクにして 2 0 0 n m エッチングを行い、第 1 マスク層 2 1 を露出させる第 1 コンタクトホール C H 1 を第 2 マスク層 2 2 に開口する。次に、 μ 波ダウンフロー方式のアッシャーを用いてレジスト膜 R 1 を除去する。

【 0 0 6 9 】 次に、図 1 0 (c) に示すように、窒化シリコンを減圧 CVD 法にて第 2 マスク層 2 2 及び第 1 コンタクトホール C H 1 内を全面に被覆して 1 0 0 n m の膜厚で堆積させ、サイドウォールマスク用層 2 3 を形成する。

【 0 0 7 0 】 次に、図 1 1 (d) に示すように、平行平板方式のエッチング装置にてサイドウォールマスク用層 2 3 のエッチバックを 1 0 0 n m 行い、サイドウォールマスク層 2 3 a を形成する。サイドウォールマスク層 2 3 a の形成により、コンタクトホールの径を約 2 0 0 n m ϕ に狭めることができる。

【 0 0 7 1 】 次に、図 1 1 (e) に示すように、E C R

タイプのエッチング装置にて第 2 マスク層 2 2 およびサイドウォールマスク層 2 3 a をマスクにして 1 0 0 n m エッチングを行い、第 1 マスク層 2 1 を貫通して絶縁膜 2 0 を露出させる、開口径約 2 0 0 n m ϕ の第 2 コンタクトホール C H 2 を開口する。

【 0 0 7 2 】 次に、図 1 2 (f) に示すように、マグネトロン方式のエッチング装置にて約 2 0 0 n m ϕ の開口径を有する第 1 マスク層 2 1 をマスクにして 7 0 0 n m エッチングを行い、絶縁膜 2 0 を貫通して半導体基板 1 0 を露出させる第 2 コンタクトホール C H 2 を絶縁膜 2 0 に開口する。窒化シリコンからなる第 2 マスク層 2 2 およびサイドウォールマスク層 2 3 a は絶縁膜 2 0 への第 2 コンタクトホール C H 2 の開口エッチングと同時にエッチング除去する。このとき、実施例 1 の場合よりも第 1 マスク層 2 1 の肩部の丸みを小さくすることができ、第 2 コンタクトホール C H 2 の開口径の広がりをさらに抑制することができる。

【 0 0 7 3 】 次に、図 1 2 (g) に示すように、ポリシリコンを減圧 CVD 法により第 2 コンタクトホール C H 2 内を埋め込んで第 1 マスク層 2 1 上面を全面に、実施例 1 の場合よりも薄い 1 0 0 n m の膜厚で堆積させ、埋め込み配線層 3 0 を形成する。

【 0 0 7 4 】 次に、E C R タイプのエッチング装置にて全面に 2 0 0 n m のエッチバックを行い、第 2 コンタクトホール C H 2 内に埋め込まれ、半導体基板 1 0 に接続する約 2 0 0 n m ϕ の径を有する埋め込み配線層 3 0 a を形成し、図 9 に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層 3 0 a の上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【 0 0 7 5 】 上記の絶縁膜 2 0 への第 2 コンタクトホール C H 2 の開口工程においては、第 1 マスク層 2 1 は構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造であるので開口部の肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。また、第 1 マスク層 2 1 を従来方法のマスク層より薄膜化することが可能で、第 2 コンタクトホール C H 2 のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【 0 0 7 6 】 また、第 1 マスク層 2 1 の後退が抑制されていることから、第 2 コンタクトホール C H 2 をポリシリコンなどで埋め込んだときの埋め込み配線層 3 0 の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのブラグロスを小さく抑制することができ、半導体基板に対す

るえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【0077】上記の本実施例の半導体装置の製造方法においては、第2マスク層22およびサイドウォールマスク層23aを窒化シリコンにより形成していることから、第2マスク層22およびサイドウォールマスク層23aを酸化シリコンにより形成した実施例1の場合よりもポリシリコンの第1マスク層21をエッチングするときの選択比を高くとることができる。これは、酸化シリコンからなる層をエッチングするとプラズマ中に多くの酸素が供給され、ポリシリコン層のエッチング選択比を下げてしまうことを回避できるからである。これにより、第2マスク層22の膜厚を実施例1の場合より薄くすることが可能で、第2マスク層22およびサイドウォールマスク層23aをエッチング除去した後の第1マスク層21の開口部の肩部の丸みをより小さくすることができる。このため、コンタクトホールの上方部分における埋め込み配線層31の凹みを悪化させないで埋め込み配線層30の膜厚を実施例1の場合より薄くすることができる。これによりコンタクトホールのアスペクト比を小さくできるので、マイクロローディング効果やエッチストップの発生をさらに抑制することができる。また、ポリシリコン層の総堆積膜厚が200nm薄いことは、製造コストおよびスループットの観点からも有利である。

【0078】以上のように、本実施例によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

【0079】実施例3

本実施例の製造方法により製造した半導体装置の断面図を図13に示す。半導体基板10上に、ゲート絶縁膜24を介して形成されたポリシリコンの下側ゲート電極31aおよびタングステンシリサイドの上側ゲート電極31bからなるポリサイドのゲート電極31、その両側部に形成された酸化シリコンのLDDサイドウォール絶縁膜25a、ゲート電極31の両側部の半導体基板10中に形成されたLDD拡散層11およびソース・ドレイン拡散層12を有するMOSトランジスタが形成されており、その上層を酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10のソース・ドレイン拡散層12に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、ソース・ドレイン拡散層12に接続している。

【0080】かかる半導体装置は、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグ

ロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0081】以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図14(a)に示すように、シリコン半導体基板10上に、熱拡散炉を用いたドライ酸化法によりゲート絶縁膜24を20nmの膜厚で形成した後、ポリシリコンを減圧CVD法で100nm堆積させて下側ゲート電極用層31aを形成し、その上層にタングステンシリサイドをスパッタ法で100nm堆積させて上側ゲート電極用層31bを形成する。次に、上側ゲート電極用層31bの上層にコーターを用いてレジスト膜を600nmの膜厚で塗布し、エキシマステッパーにより200nmの線幅のゲート電極パターンにパターニングしてレジスト膜R2を形成する。

【0082】次に、図14(b)に示すように、ECRタイプのエッチング装置にてレジスト膜R2をマスクにして上側ゲート電極用層31bを100nm、下側ゲート電極用層31aを100nm、それぞれエッチングを行い、下側ゲート電極31aおよび上側ゲート電極31bからなるポリサイドのゲート電極31を形成する。次に、μ波ダウンフロー方式のアッシャーを用いてレジスト膜R2を除去した後、ゲート電極31をマスクにして半導体基板10中にイオン注入を行い、LDD拡散層11を形成する。次に、酸化シリコンを減圧CVD法によりゲート電極31および半導体基板10を全面に被覆して100nmの膜厚で堆積させ、LDDサイドウォール絶縁膜用層25を形成する。

【0083】次に、図14(c)に示すように、平行平板方式のエッチング装置にて220nmの全面エッチバックを行い、LDDサイドウォール絶縁膜25aを形成する。次に、LDDサイドウォール絶縁膜25a付きのゲート電極31をマスクにして半導体基板10中にイオン注入を行い、ソース・ドレイン拡散層12を形成する。以上のように、ゲート絶縁膜24、ゲート電極31、LDDサイドウォール絶縁膜25a、LDD拡散層11、ソース・ドレイン拡散層12を有するMOSトランジスタを形成する。

【0084】次に、図15(d)に示すように、上記で形成したMOSトランジスタを被覆して酸化シリコンを常圧CVD法により約1000nmの膜厚で堆積させ、CMP (Chemical Mechanical Polishing) 法により300nm研磨することにより平坦化して膜厚700nmの絶縁膜20を形成する。次に絶縁膜20の上層に減圧CVD法によりポリシリコンを100nmの膜厚で堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に減圧CVD法により窒化シリコンを200nmの膜厚で堆積させ、第2マスク層22を形成する。

【0085】次に、図15(e)に示すように、第2マスク層22の上層にコーターを用いてレジスト膜を600nmの膜厚で塗布し、エキシマステッパーにより40

0 nmφの第1コンタクトホール開口パターンにパターンニングしてレジスト膜R1を形成する。次に、マグネトロン方式のエッチング装置にてレジスト膜R1をマスクにして200 nmエッチングを行い、第1マスク層21を露出させる第1コンタクトホールCH1を第2マスク層22に開口する。

【0086】次に、図15(f)に示すように、μ波ダウンフロー方式のアッシャーを用いてレジスト膜R1を除去した後、窒化シリコンを減圧CVD法にて第2マスク層22及び第1コンタクトホールCH1内を全面に被覆して100 nmの膜厚で堆積させ、サイドウォールマスク用層23を形成し、次に平行平板方式のエッチング装置にてサイドウォールマスク用層23のエッチバックを100 nm行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を約200 nmφに狭めることができる。

【0087】次に、図16(g)に示すように、ECRタイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにして100 nmエッチングを行い、第1マスク層21を貫通して絶縁膜20を露出させる、開口径約200 nmφの第2コンタクトホールCH2を開口する。

【0088】次に、図16(h)に示すように、マグネトロン方式のエッチング装置にて約200 nmφの開口径を有する第1マスク層21をマスクにして700 nmエッチングを行い、絶縁膜20を貫通して半導体基板10中のソース・ドレイン拡散層12を露出させる第2コンタクトホールCH2を絶縁膜20に開口する。窒化シリコンからなる第2マスク層22およびサイドウォールマスク層23aは絶縁膜20への第2コンタクトホールCH2の開口エッチングと同時にエッチング除去する。

【0089】次に、図16(i)に示すように、ポリシリコンを減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面を全面に100 nmの膜厚で堆積させ、埋め込み配線層30を形成する。

【0090】次に、ECRタイプのエッチング装置にて全面に200 nmのエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10に接続する約200 nmφの径を有する埋め込み配線層30aを形成し、図13に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層30aの上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0091】以上の本実施例の半導体装置の製造方法によれば、マスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細な

コンタクトを有する、MOSトランジスタ系の半導体装置を製造することができる。

【0092】実施例4

本実施例の製造方法により製造した半導体装置の断面図を図17に示す。半導体基板10上に、ゲート絶縁膜24を介して形成されたポリシリコンの下側ゲート電極31aおよびタングステンシリサイドの上側ゲート電極31bからなるポリサイドのゲート電極31、その両側部に形成された酸化シリコンのLDDサイドウォール絶縁膜25a、ゲート電極31の両側部の半導体基板10中に形成されたLDD拡散層11およびソース・ドレイン拡散層12を有するMOSトランジスタが形成されており、その上層を酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10のソース・ドレイン拡散層12に達するコンタクトホールが開口されている。コンタクトホール内に埋め込まれてソース・ドレイン拡散層12に接続している埋め込み配線層30aと第1マスク層の一部21aからなる記憶ノード電極MN、その上層に形成された窒化シリコンからなるキャパシタ絶縁膜26、およびポリシリコンのプレート電極32とからキャパシタが形成されている。

【0093】かかる半導体装置は、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細な記憶ノードコンタクトを有する半導体装置である。

【0094】以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図18(a)に示すように、実施例3と同様な方法によりゲート絶縁膜24、ゲート電極31、LDDサイドウォール絶縁膜25a、LDD拡散層11、ソース・ドレイン拡散層12を有するMOSトランジスタを形成する。次に、MOSトランジスタを被覆して酸化シリコンを常圧CVD法により約1000 nmの膜厚で堆積させ、CMP (Chemical Mechanical Polishing) 法により300 nm研磨することにより平坦化して膜厚700 nmの絶縁膜20を形成する。次に絶縁膜20の上層に減圧CVD法によりポリシリコンを200 nmの膜厚で堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に減圧CVD法により窒化シリコンを200 nmの膜厚で堆積させ、第2マスク層22を形成する。次に、第2マスク層22の上層にコーターを用いてレジスト膜を600 nmの膜厚で塗布し、エキシマステッパーにより400 nmφの第1コンタクトホール開口パターンにパターンニングしてレジスト膜R1を形成する。

【0095】次に、図18(b)に示すように、マグネトロン方式のエッチング装置にてレジスト膜R1をマスクにして200 nmエッチングを行い、第1マスク層21を露出させる第1コンタクトホールCH1を第2マスク層22に開口する。次に、μ波ダウンフロー方式のア

ッシャーを用いてレジスト膜 R1 を除去した後、空化シリコンを減圧 CVD 法にて第 2 マスク層 22 及び第 1 コンタクトホール CH1 内を全面に被覆して 100 nm の膜厚で堆積させ、サイドウォールマスク用層 23 を形成する。

【0096】次に、図 18 (c) に示すように、平行平板方式のエッチング装置にてサイドウォールマスク用層 23 のエッチバックを 100 nm 行い、サイドウォールマスク層 23 a を形成する。サイドウォールマスク層 23 a の形成により、コンタクトホールの径を約 200 nm ϕ に狭めることができる。

【0097】次に、図 19 (d) に示すように、ECR タイプのエッチング装置にて第 2 マスク層 22 およびサイドウォールマスク層 23 a をマスクにして 200 nm エッチングを行い、第 1 マスク層 21 を貫通して絶縁膜 20 を露出させる、開口径約 200 nm ϕ の第 2 コンタクトホール CH2 を開口する。

【0098】次に、図 19 (e) に示すように、マグネトロン方式のエッチング装置にて約 200 nm ϕ の開口径を有する第 1 マスク層 21 をマスクにして 700 nm エッチングを行い、絶縁膜 20 を貫通して半導体基板 10 中のソース・ドレイン拡散層 12 を露出させる第 2 コンタクトホール CH2 を絶縁膜 20 に開口する。空化シリコンからなる第 2 マスク層 22 およびサイドウォールマスク層 23 a は絶縁膜 20 への第 2 コンタクトホール CH2 の開口エッチングと同時にエッチング除去する。

【0099】次に、図 19 (g) に示すように、ポリシリコンを減圧 CVD 法により第 2 コンタクトホール CH2 内を埋め込んで第 1 マスク層 21 上面を全面に 100 nm の膜厚で堆積させ、埋め込み配線層 30 を形成する。

【0100】次に、図 20 (h) に示すように、埋め込み配線層 30 の上層にコーターを用いてレジスト膜を 600 nm の膜厚で塗布し、エキシマステッパーにより約 200 nm ϕ の記憶ノード電極パターンにパターンニングしてレジスト膜 R3 を形成する。

【0101】次に、図 20 (i) に示すように、ECR タイプのエッチング装置にてレジスト膜 R3 をマスクにして 300 nm エッチングを行い、埋め込み配線層 30 a および第 1 マスク層の一部 21 a からなる、約 200 nm ϕ の記憶ノード電極 MN を形成する。

【0102】次に、空化シリコンを減圧 CVD 法にて記憶ノード電極 MN を被覆して全面に 20 nm の膜厚で堆積させ、キャパシタ絶縁膜 26 を形成し、その上層に減圧 CVD 法によりポリシリコンを 200 nm の膜厚で堆積させ、プレート電極 32 を形成し、図 17 に示す構造の半導体装置を形成する。

【0103】以上の本実施例の半導体装置の製造方法によれば、マスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチ

ングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細な記憶ノードコンタクトを有する、MOS トランジスタ系の半導体装置を製造することができる。

【0104】第 2 実施形態

本実施形態の製造方法により製造した半導体装置の断面図を図 21 に示す。半導体基板 10 上に図示しない MOS トランジスタなどの素子が形成されており、その上層を例えば酸化シリコンからなる絶縁膜 20 が形成されており、その上層に例えば空化シリコンからなる第 1 マスク層 21 が形成されている。絶縁膜 20 および第 1 マスク層 21 には半導体基板 10 に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層 30 a が埋め込まれており、その上層に形成された上部電極 33 と半導体基板 10 を接続している。

【0105】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0106】以下に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図 22 (a) に示すように、例えばシリコン半導体基板 10 上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して例えば酸化シリコンを常圧 CVD 法により堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜 20 を形成する。次に絶縁膜 20 の上層に例えば減圧 CVD 法により空化シリコンを約 100 nm の膜厚で堆積させ、第 1 マスク層 21 を形成する。次に第 1 マスク層 21 の上層に例えば減圧 CVD 法によりポリシリコンを約 300 nm の膜厚で堆積させ、第 2 マスク層 22 を形成する。次に第 2 マスク層 22 の上層にレジスト膜を塗布し、例えば 400 nm ϕ の第 1 コンタクトホールの開口パターンにパターンニングしてレジスト膜 R1 を形成する。

【0107】次に、図 22 (b) に示すように、レジスト膜 R1 をマスクにして RIE (反応性イオンエッチング) などのエッチングを行い、第 1 マスク層 21 を露出させる第 1 コンタクトホール CH1 を第 2 マスク層 22 に開口する。次に、レジスト膜 R1 を除去する。

【0108】次に、図 22 (c) に示すように、例えばポリシリコンを減圧 CVD 法にて第 2 マスク層 22 及び第 1 コンタクトホール CH1 内を全面に被覆して約 140 nm の膜厚で堆積させ、サイドウォールマスク用層 23 を形成する。

【0109】次に、図 23 (d) に示すように、例えば RIE などの異方性エッチングによりサイドウォールマスク用層 23 のエッチバックを行い、サイドウォールマスク層 23 a を形成する。サイドウォールマスク層 23 a の形成により、コンタクトホールの径を例えば約 12

0 nmφに狭めることができる。

【0110】次に、図23(e)に示すように、例えばECRタイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにしてエッチングを行い、第1マスク層21を貫通し、絶縁膜20の途中まで開口径約120 nmφの第2コンタクトホールCH2を開口する。

【0111】次に、図23(f)に示すように、例えばECRタイプのエッチング装置にてエッチングを行い、第2マスク層22およびサイドウォールマスク層23a 10を除去する。

【0112】次に、図24(g)に示すように、第1マスク層21をマスクにして例えばECRタイプのエッチング装置にて絶縁膜20の途中まで開口した約120 nmφの開口径を有するコンタクトホールCH2をのエッチングを続け、絶縁膜20を貫通して半導体基板10を露出させる第2コンタクトホールCH2を絶縁膜20に開口する。

【0113】次に、図24(h)に示すように、例えばポリシリコンを減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面を全面に堆積させ、埋め込み配線層30を形成する。

【0114】次に、図24(i)に示すように、例えばECRタイプのエッチング装置にて全面にエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10に接続する、例えば120 nmφの径を有する埋め込み配線層30aを形成する。

【0115】次に、埋め込み配線層30aの上層に例えばポリシリコンを堆積させ、パターニングして上部電極33を形成し、図21に示す半導体装置を形成することができる。埋め込み配線層は半導体基板10と上部電極33を接続している。この後の工程としては、例えば上部電極33の上層にさらに上層配線を接続したり、あるいは上部配線33を記憶ノード電極とし、その上層にキャパシタ絶縁膜およびプレート電極を形成してキャパシタ構造とすることなどができる。

【0116】上記の絶縁膜20への第2コンタクトホールCH2の開口工程においては、マスク層を2層構造にしてその下側の層に絶縁膜20に対してエッチング選択比を有する材料を用い、また、マスクとして構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さないことから開口部の径の拡大や肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。また、第1マスク層21を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールCH2のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した

微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0117】また、第1マスク層21の後退が抑制されていることから、第2コンタクトホールCH2をポリシリコンなどで埋め込んだときの埋め込み配線層30の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのブラグロスを小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。埋め込み配線層の上層に上部電極を形成する場合も、ブラグロスが抑制されているので容易に形成することができる。

【0118】以上のように、本実施形態によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

【0119】第3実施形態

20 本実施形態の製造方法により製造した半導体装置の断面図を図25に示す。半導体基板10上に、ゲート絶縁膜24を介して形成されたポリシリコンの下側ゲート電極31aおよびタングステンシリサイドの上側ゲート電極31bからなるポリサイドのゲート電極31、その両側部に形成された酸化シリコンのLDDサイドウォール絶縁膜25a、ゲート電極31の両側部の半導体基板10中に形成されたLDD拡散層11およびソース・ドレイン拡散層12を有するMOSトランジスタなどの素子が形成されており、その上層を例えば酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、半導体基板10に接続している。

30 【0120】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

40 【0121】以下に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図26(a)に示すように、シリコン半導体基板10上に、熱酸化法によりゲート絶縁膜24を形成した後、例えばポリシリコンを(反応ガス: $\text{SiH}_4/\text{H}_2/\text{PH}_3=0.45\text{slm}/10\text{slm}/20\text{sccm}$ 、圧力: 10.6 kPa、基板温度620℃)の条件の減圧CVD法で約100 nm堆積させて下側ゲート電極用層31aを形成し、その上層に例えばタングステンシリサイドを(反応ガス: $\text{SiH}_4\text{Cl}_2/\text{WF}_6=100\text{sccm}/3.6\text{sccm}$ 、圧力: 133 Pa、基板温度595℃)の条件の熱CVD法で約100 nm堆積させて上側ゲート電極用層31bを形成する。

【0122】次に、上側ゲート電極用層31bの上層にコーターを用いてレジスト膜を塗布し、エキシマステッパにより約0.35 μ mの線幅のゲート電極パターンにパターンニングしてレジスト膜R2を形成する。次に、例えばECRタイプのエッチング装置にて（反応ガス： $\text{Cl}_2/\text{O}_2=75\text{sccm}/6\text{sccm}$ 、圧力：0.4Pa、 μ 波出力：1200W（2.45GHz）、RFバイアス：70～50W（800kHz）、基板温度20℃）の条件でレジスト膜R2をマスクにしてエッチングを行い、下側ゲート電極31aおよび上側ゲート電極31bからなるポ

10 リサイドのゲート電極31を形成する。

【0123】次に、レジスト膜R2を除去した後、ゲート電極31をマスクにして半導体基板10中にイオン注入を行い、LDD拡散層11を形成する。次に、例えば酸化シリコンを減圧CVD法によりゲート電極31および半導体基板10を全面に被覆して堆積させ、アノードカップル平行平板型のエッチング装置にて（反応ガス： $\text{CHF}_3/\text{CF}_4/\text{Ar}=40\text{sccm}/40\text{sccm}/800\text{sccm}$ 、圧力：200Pa、 μ 波出力：500W（2380kHz）、基板温度50℃）の条件でエッチバックを行い、LDDサイドウォール絶縁膜25aを形成する。次に、LDDサイドウォール絶縁膜25a付きのゲート電極31をマスクにして半導体基板10中にイオン注入を行い、ソース・ドレイン拡散層12を形成する。以上のように、ゲート絶縁膜24、ゲート電極31、LDDサイドウォール絶縁膜25a、LDD拡散層11、ソース・ドレイン拡散層12を有するMOSトランジスタを形成する。

【0124】次に、図26（b）に示すように、上記のようにして形成したトランジスタなどの素子を被覆して例えば酸化シリコンを常圧CVD法により約600nmの膜厚で堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜20を形成する。次に、絶縁膜20の上層に例えば（反応ガス： $\text{SiH}_4/\text{Cl}_2/\text{NH}_3=50\text{sccm}/500\text{sccm}$ 、圧力：35Pa、基板温度750℃）の条件の縦型減圧CVD法により窒化シリコンを約300nmの膜厚で堆積させ、第1マスク層21を形成する。

【0125】次に、図26（c）に示すように、第1マスク層21の上層にレジスト膜を塗布し、例えばエキシマステッパにより約0.3 μ mの第1コンタクトホールCH1の開口パターンにパターンニングしてレジスト膜を形成し、例えばECRタイプのエッチング装置にてエッチングを行い、絶縁膜20を露出させる第1コンタクトホールCH1を第1マスク層21に開口する。

【0126】次に、図27（d）に示すように、例えば（反応ガス： $\text{SiH}_4/\text{Cl}_2/\text{NH}_3=50\text{sccm}/500\text{sccm}$ 、圧力：35Pa、基板温度750℃）の条件の縦型減圧CVD法により窒化シリコンを第1マスク層21及び第1コンタクトホールCH1内を全面に被覆して約120nmの膜厚で堆積させ、サイドウォールマスク用層23を形成する。

【0127】次に、図27（e）に示すように、例えばECRタイプのエッチング装置にてサイドウォールマスク用層23のエッチバックを行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を例えば約0.1 μ mに狭めることができる。

【0128】次に、図28（f）に示すように、例えばECRタイプのエッチング装置にて第1マスク層21およびサイドウォールマスク層23aをマスクにしてエッチングを行い、絶縁膜20を貫通して半導体基板10中のソース・ドレイン拡散層12を露出させる、開口径約0.1 μ mの第2コンタクトホールCH2を開口する。

【0129】次に、図28（g）に示すように、例えば（反応ガス： $\text{SiH}_4/\text{I}_2\text{PH}_3=1000\text{sccm}/50\text{sccm}$ 、圧力：65Pa、基板温度550℃）の条件の縦型減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面全面にp型不純物含有ポリシリコンを約400nm堆積させ、埋め込み配線層30を形成する。

20 【0130】次に、図28（h）に示すように、例えばECRタイプのエッチング装置にて全面にエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10中のソース・ドレイン拡散層12に接続する、例えば0.1 μ mの径を有する埋め込み配線層30aを形成する。このとき、埋め込み配線層30aは、その表面が第1マスク層21の表面の高さよりも下方にエッチングされており、ほぼ第1マスク層21の膜厚に相当するブラグロスが発生している。

30 【0131】次に、例えばリン酸系のウェットエッチングを施し、第1マスク層21およびサイドウォールマスク層23aを除去することで図25に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層30aの上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0132】上記の本実施形態の半導体装置の製造方法においては、第1マスク層21およびサイドウォールマスク層23aとしてタングステン-タングステンシリサイド膜を用いることもできる。この場合、例えば（反応ガス： $\text{SiH}_4/\text{Cl}/\text{WF}_6=300\text{sccm}/3\text{sccm}$ 、圧力：133Pa、基板温度595℃）の条件のCVD法により成膜することができる。また、埋め込み配線層のエッチバックの後にタングステン-タングステンシリサイド膜の第1マスク層およびサイドウォールマスク層を除去するためには、例えば H_2O_2 系のウェットエッチングを用いることができる。

50 【0133】上記の絶縁膜20への第2コンタクトホールCH2の開口工程においては、マスク層（第1マスク層およびサイドウォールマスク層）に絶縁膜20に対してエッチング選択比を有する材料を用いたことから開口

部の径の拡大や肩部の後退が抑制されており、耐圧不良や配線ショートなどを引き起こしにくい。また、第1マスク層21を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールCH2のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロデューティング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0134】また、埋め込み配線層30aの形成後に第1マスク層を除去することから、発生するプラグロスに相当する膜厚の第1マスク層を形成しておくことにより、プラグロスを抑制することが可能である。さらに、第1マスク層21の後退が抑制されていることから、第2コンタクトホールCH2をポリシリコンなどで埋め込んだときの埋め込み配線層30の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのプラグロスをさらに抑制することができる。これにより、安定に接続するコンタクト接合を形成することができ、埋め込み配線層の上層に上部電極を形成する場合も、プラグロスが抑制されているので容易に形成することができる。

【0135】以上のように、本実施形態により、プラグロスが抑制され、マスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

【0136】本発明は、DRAMなどのMOSトランジスタの半導体装置や、バイポーラ系の半導体装置、あるいはA/Dコンバータなど、コンタクトホールを有する半導体装置であればなんでも適用できる。装置の微細化、縮小化が進められた半導体装置に、微細で信頼性の高いコンタクトによる接合を提供することができる。

【0137】本発明は、上記の実施の形態に限定されない。例えば、第1マスク層、第2マスク層およびサイドウォールマスク層はそれぞれ多層以上の構成としてもよい。また、プラズマエッチング法としては、ECRタイプのプラズマエッチングのほか、ICPタイプや、ヘリコン波プラズマエッチングなど、様々な種類のエッチングを使用することができる。その他、装置構成、サンプル構造、エッチング、研磨等のプロセス条件などについて、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。また、MOSトランジスタを有する半導体装置においては、ゲート電極は単層でも多層でもよく、例えばオフセット絶縁膜や薄いシリコン窒化膜をゲート電極上に形成して自己整合的にコンタクトホールを開口してもよい。ソースドレイン拡散層はLDD構造な

どの種々の構造を使用できる。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

【0138】

【発明の効果】本発明によれば、コンタクトホール内壁にサイドウォールを形成し、コンタクトホールの開口径を狭めて開口する方法において、2層のマスク層を使用し、下側のマスク層について選択比を低下させるサイドウォール構造を有さない構造とすることでエッチング中の開口径の拡大などを抑制し、プラグロスの発生を抑制し、配線のショートやエッチングストップの生じない、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供することができる。

【0139】また、本発明によれば、コンタクトホール内壁にサイドウォールを形成し、コンタクトホールの開口径を狭めて開口する方法において、マスク層としては1層でよいが、コンタクトホール内への埋め込み配線層を形成した後で埋め込み配線層を残しながらマスク層およびサイドウォールマスク層を除去することにより、プラグロスの発生を抑制し、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】図1は本発明の第1実施形態の半導体装置の製造方法により製造した半導体装置の断面図である。

【図2】図2は本発明の第1実施形態の半導体装置の製造方法の製造工程を示す断面図であり、(a)は第1コンタクトホール用レジスト膜の形成工程まで、(b)は第1コンタクトホールの開口工程まで、(c)はサイドウォールマスク用層の形成工程までを示す。

【図3】図3は図2の続きの工程を示し、(d)はサイドウォールマスク層の形成工程まで、(e)は第1マスク層を貫通する第2コンタクトホールの開口工程までを示す。

【図4】図4は図3の続きの工程を示し、(f)は絶縁膜を貫通する第2コンタクトホールの開口工程まで、

(g)は埋め込み配線層の形成工程までを示す。

【図5】図5は本発明の実施例1の半導体装置の製造方法により製造した半導体装置の断面図である。

【図6】図6は本発明の実施例1の半導体装置の製造方法の製造工程を示す断面図であり、(a)は第1コンタクトホール用レジスト膜の形成工程まで、(b)は第1コンタクトホールの開口工程まで、(c)はサイドウォールマスク用層の形成工程までを示す。

【図7】図7は図6の続きの工程を示し、(d)はサイドウォールマスク層の形成工程まで、(e)は第1マスク層を貫通する第2コンタクトホールの開口工程までを示す。

【図8】図8は図7の続きの工程を示し、(f)は絶縁膜を貫通する第2コンタクトホールの開口工程まで、

(g)は埋め込み配線層の形成工程までを示す。

【図 9】図 9 は本発明の実施例 2 の製造方法により製造した半導体装置の断面図である。

【図 10】図 10 は本発明の実施例 2 の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、(b) は第 1 コンタクトホールの開口工程まで、(c) はサイドウォールマスク用層の形成工程までを示す。

【図 11】図 11 は図 10 の続きの工程を示し、(d) はサイドウォールマスク層の形成工程まで、(e) は第 1 マスク層を貫通する第 2 コンタクトホールの開口工程までを示す。

【図 12】図 12 は図 11 の続きの工程を示し、(f) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(g) は埋め込み配線層の形成工程までを示す。

【図 13】図 13 は本発明の実施例 3 の製造方法により製造した半導体装置の断面図である。

【図 14】図 13 は本発明の実施例 3 の半導体装置の製造方法の製造工程を示す断面図であり、(a) はゲート電極用レジスト膜の形成工程まで、(b) は LDD サイドウォール絶縁膜用層の形成工程まで、(c) は LDD サイドウォール絶縁膜の形成工程までを示す。

【図 15】図 15 は図 14 の続きの工程を示し、(d) は第 2 マスク層の形成工程まで、(e) は第 1 コンタクトホールの開口工程まで、(f) はサイドウォールマスク層の形成工程までを示す。

【図 16】図 16 は図 15 の続きの工程を示し、(g) は第 1 マスク層を貫通する第 2 コンタクトホールの開口工程まで、(h) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(i) は埋め込み配線層の形成工程までを示す。

【図 17】図 17 は本発明の実施例 4 の製造方法により製造した半導体装置の断面図である。

【図 18】図 18 は本発明の実施例 4 の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、(b) はサイドウォールマスク用層の形成工程まで、(c) はサイドウォールマスク層の形成工程までを示す。

【図 19】図 19 は図 18 の続きの工程を示し、(d) は第 1 マスク層を貫通する第 2 コンタクトホールの開口工程まで、(e) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(f) は埋め込み配線層の形成工程までを示す。

【図 20】図 20 は図 19 の続きの工程を示し、(h) は記憶ノード電極用レジスト膜の形成工程まで、(i) は記憶ノード電極の形成工程までを示す。

【図 21】図 21 は本発明の第 2 実施形態の製造方法により製造した半導体装置の断面図である。

【図 22】図 22 は本発明の第 2 実施形態の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、

(b) は第 1 コンタクトホールの開口工程まで、(c) はサイドウォールマスク用層の形成工程までを示す。

【図 23】図 23 は図 22 の続きの工程を示し、(d) はサイドウォールマスク層の形成工程まで、(e) は第 1 マスク層を貫通し、絶縁膜の途中まで達する第 2 コンタクトホールの開口工程まで、(f) は第 2 マスク層およびサイドウォールマスク層の除去工程までを示す。

【図 24】図 24 は図 23 の続きの工程を示し、(g) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(h) は埋め込み配線層の形成工程まで、(i) は埋め込み配線層のエッチバック工程までを示す。

【図 25】図 25 は本発明の第 3 実施形態の製造方法により製造した半導体装置の断面図である。

【図 26】図 26 は本発明の第 3 実施形態の半導体装置の製造方法の製造工程を示す断面図であり、(a) はトランジスタの形成工程まで、(b) は第 1 マスク層の形成工程まで、(c) は第 1 コンタクトホールの開口工程までを示す。

【図 27】図 27 は図 26 の続きの工程を示し、(d) はサイドウォールマスク用層の形成工程まで、(e) はサイドウォールマスク層の形成工程までを示す。

【図 28】図 28 は図 27 の続きの工程を示し、(f) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(g) は埋め込み配線層の形成工程まで、(h) は埋め込み配線層のエッチバック工程までを示す。

【図 29】図 29 は従来例の半導体装置の製造方法により製造した半導体装置の断面図である。

【図 30】図 30 は従来の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、(b) は第 1 コンタクトホールの開口工程まで、(c) はサイドウォールマスク用層の形成工程までを示す。

【図 31】図 31 は図 30 の続きの工程を示し、(d) はサイドウォールマスク層の形成工程まで、(e) は第 2 コンタクトホールの開口工程まで、(f) は埋め込み配線層の形成工程までを示す。

【図 32】図 32 は図 30 の続きの工程を示し、(a) はサイドウォールマスク層の形成工程まで、(b) は第 2 コンタクトホールの開口におけるエッチストップ発生までを示す。

【図 33】図 33 は図 30 の続きの工程を示す要部拡大図であり、(a) はサイドウォールマスク層の形成工程まで、(b) は第 2 コンタクトホールの開口工程までを示す。

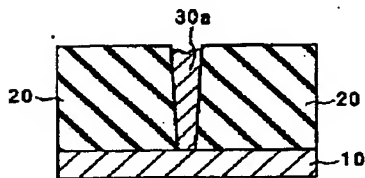
【図 34】図 34 は図 30 の続きの工程を示し、(a) はサイドウォールマスク層の形成工程まで、(b) は第 2 コンタクトホールの開口工程までを示す。

【図 35】図 35 は図 34 の続きの工程を示し、(c) は埋め込み配線層の形成工程まで、(d) は埋め込み配線層のエッチバック工程までを示す。

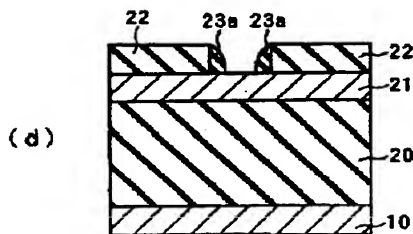
【符号の説明】

10…半導体基板、11…LDD拡散層、12…ソース・ドレイン拡散層、20…絶縁膜、21…第1マスク層、21a…第1マスク層の一部、22…第2マスク層、23…サイドウォールマスク用層、23a…サイドウォールマスク層、24…ゲート絶縁膜、25…LDDサイドウォール絶縁膜用層、25a…LDDサイドウォール絶縁膜層、26…キャパシタ絶縁膜、30、30a

【図1】

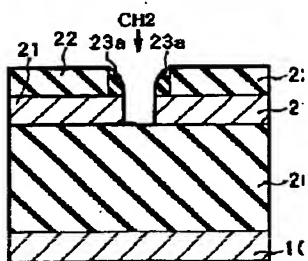


【図3】

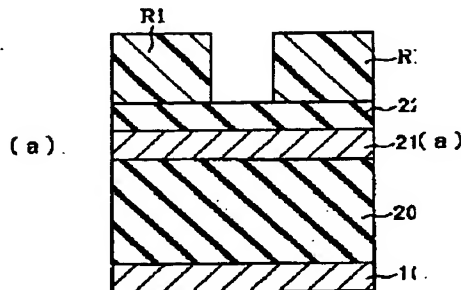


(d)

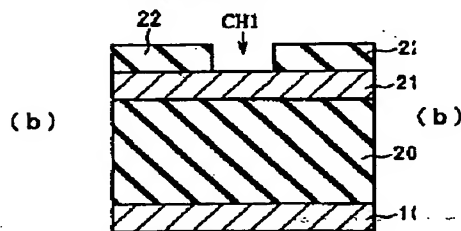
(e)



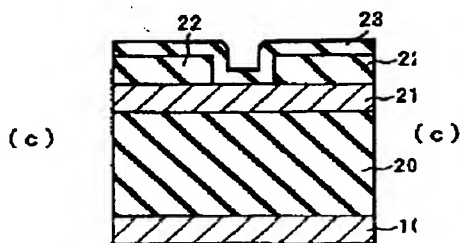
【図2】



(a)

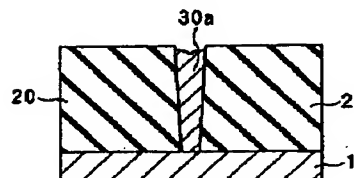


(b)

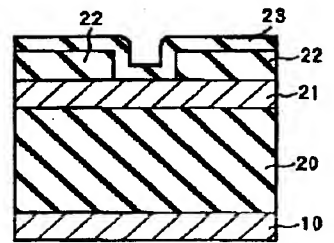
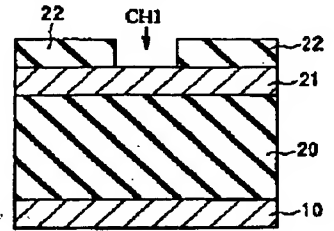
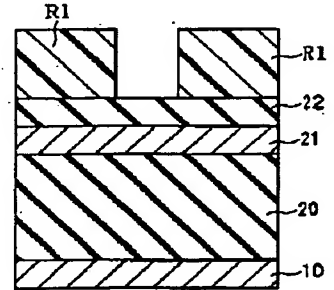


(c)

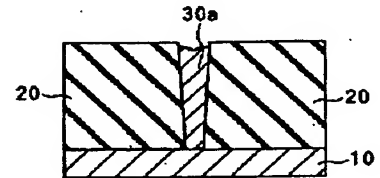
【図5】



【図6】

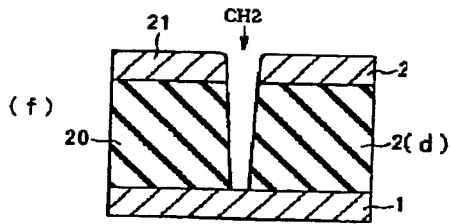


【図9】

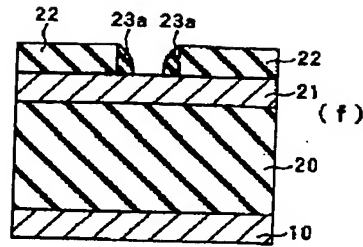


…埋め込み配線層、31…ゲート電極、31a…下側ゲート電極、31b…上側ゲート電極、32…プレート電極、33…上部電極、R1、R2、R3…レジスト膜、CH1、CH2…コンタクトホール、MN…記憶ノード、PL…プラグロス、ES…エッチストップ、FC…フロロカーボン層、B…後退幅、H…凹み、S…耐圧低下部位、X…基板のえぐれ。

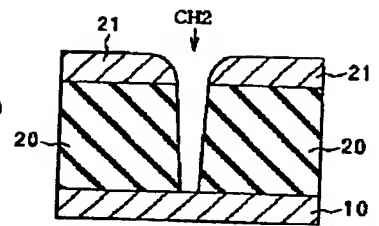
【 図 4 】



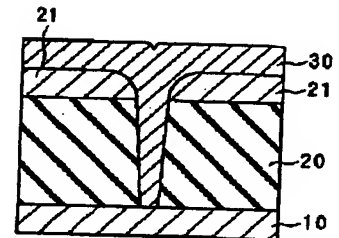
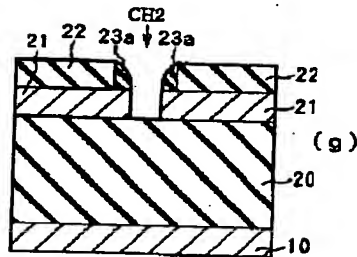
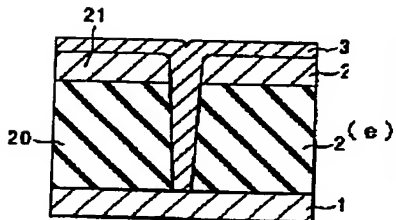
【 図 7 】



【 図 8 】

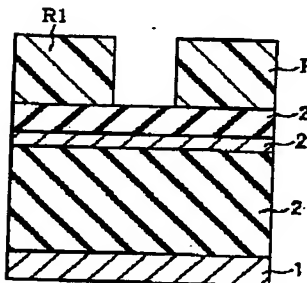


(g)

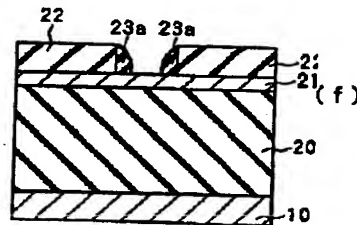


【 図 10 】

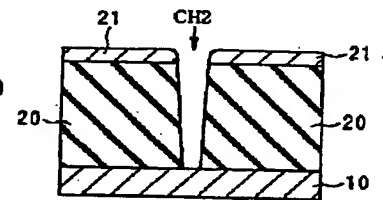
(a)



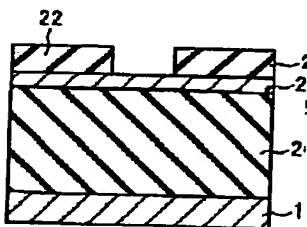
【 図 11 】



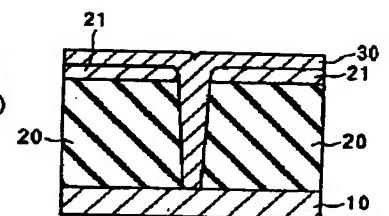
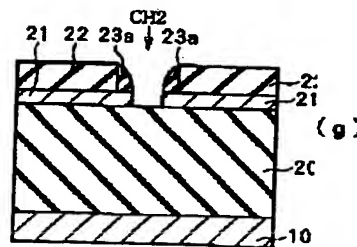
【 図 12 】



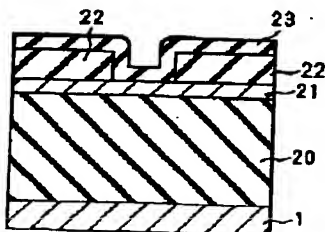
(b)



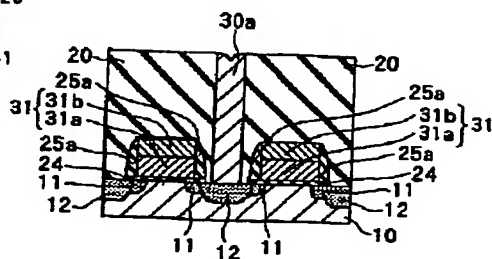
(e)



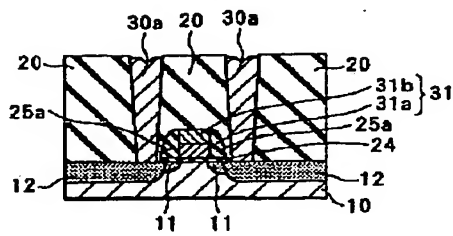
(c)



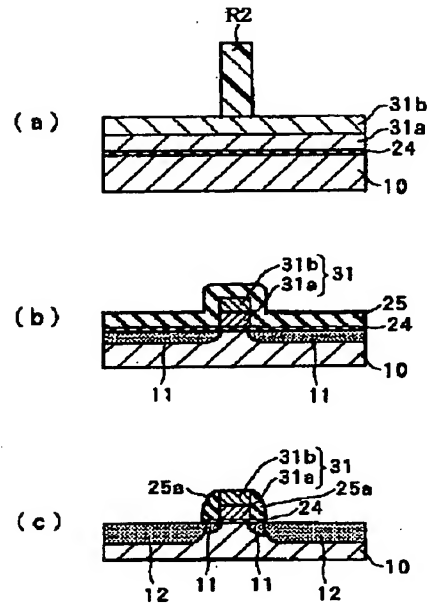
【 図 25 】



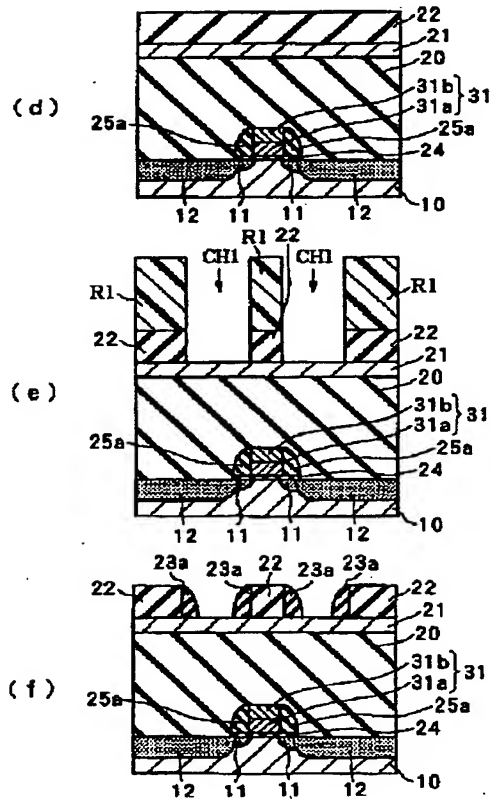
【図 1 3】



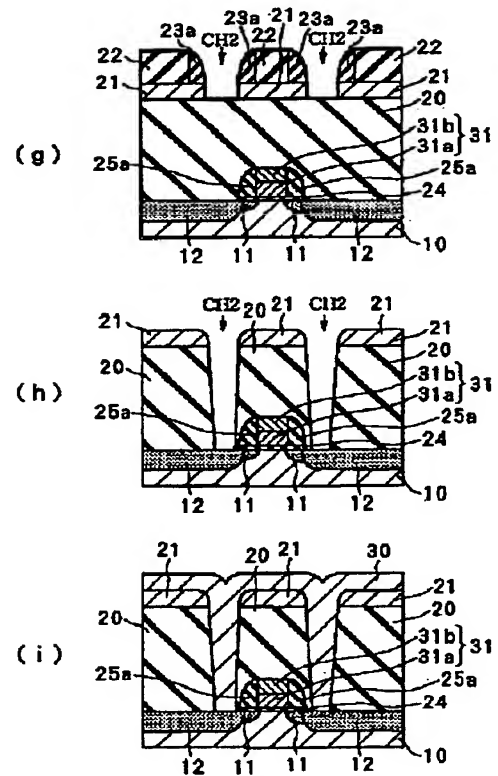
【図 1 4】



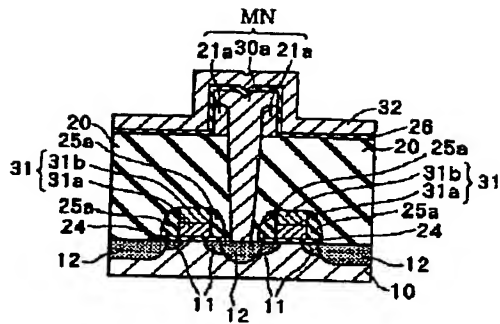
【図 1 5】



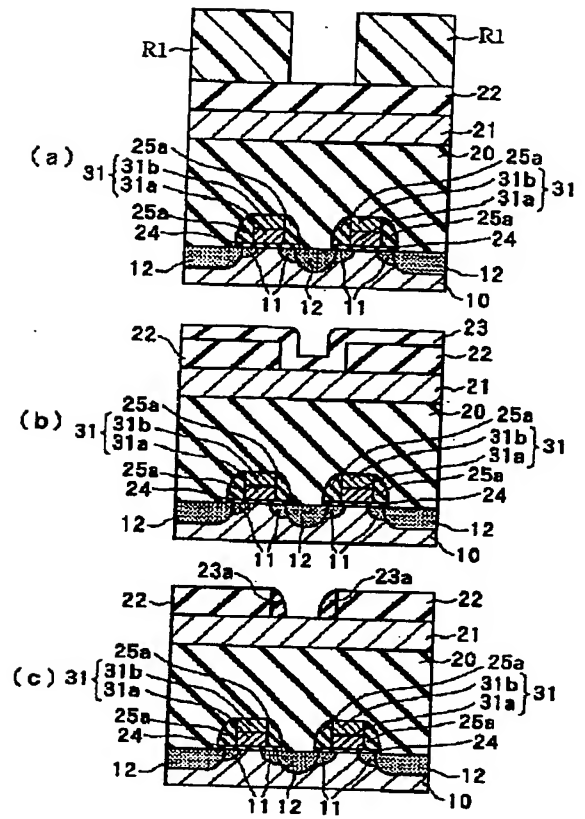
【図 1 6】



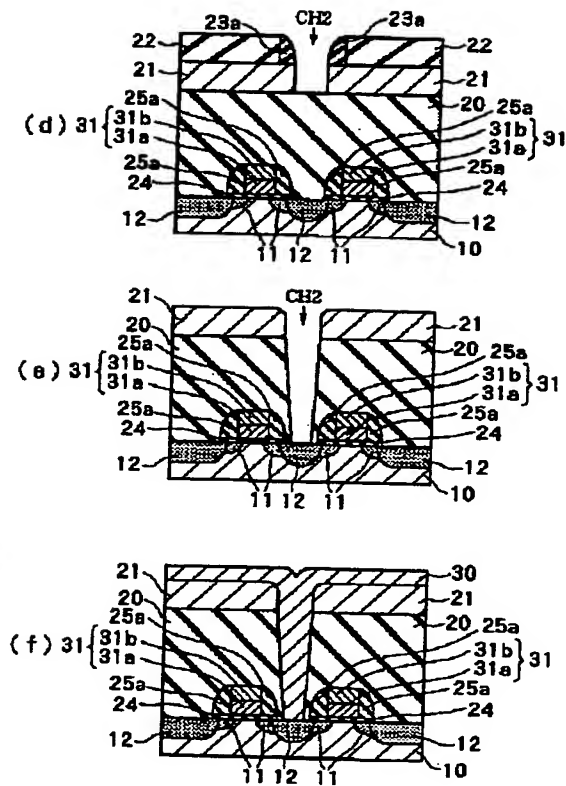
【 図 1 7 】



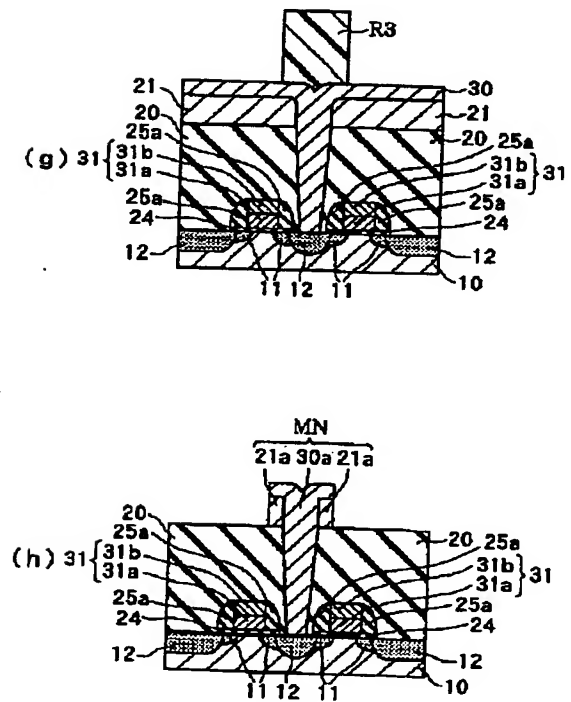
【 図 1 8 】



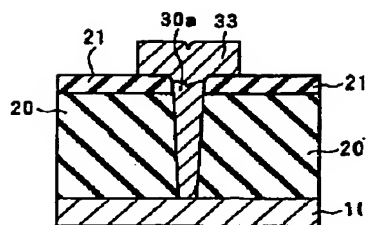
【 図 1 9 】



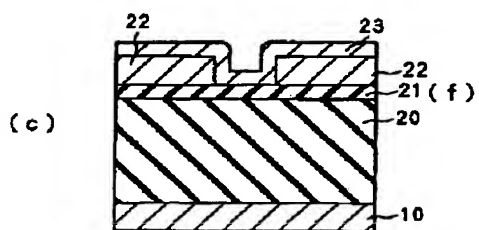
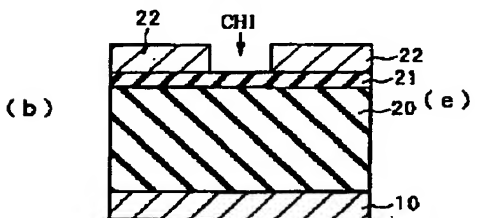
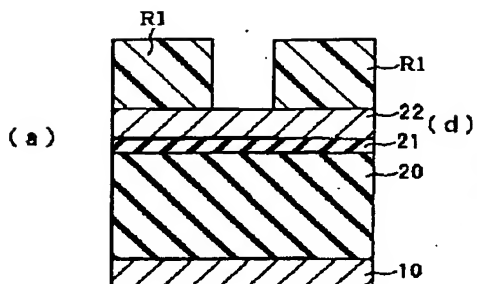
【 図 2 0 】



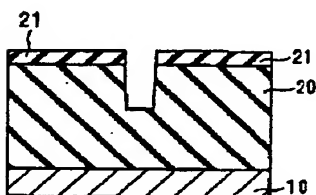
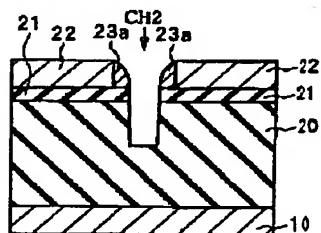
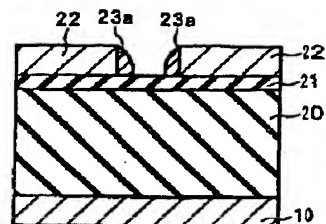
【 図 2 1 】



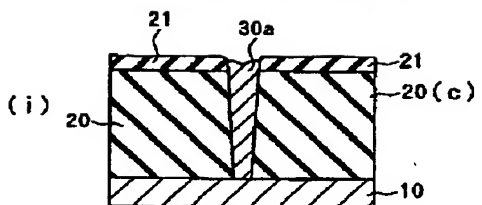
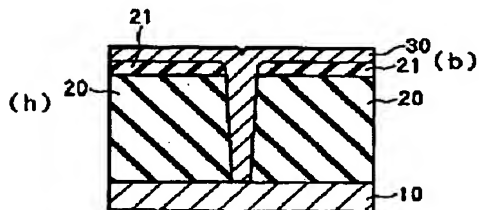
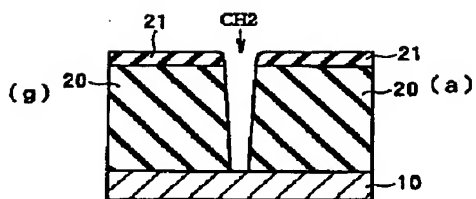
【 図 2 2 】



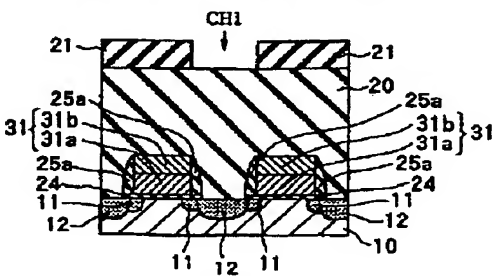
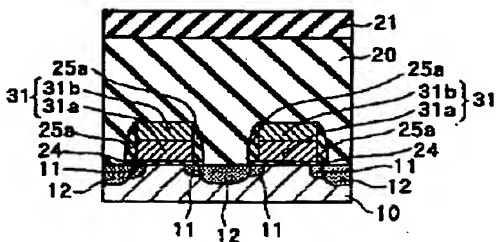
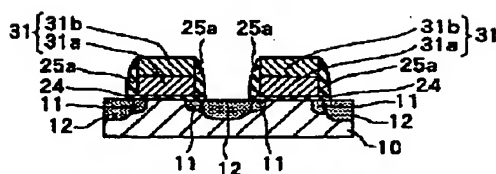
【 図 2 3 】



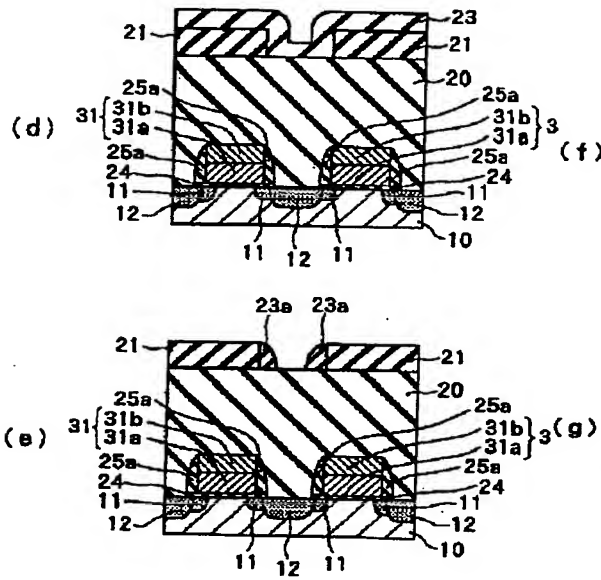
【 図 2 4 】



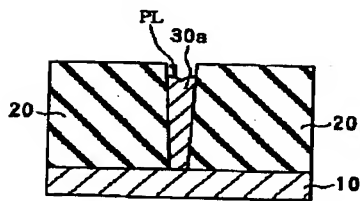
【 図 2 6 】



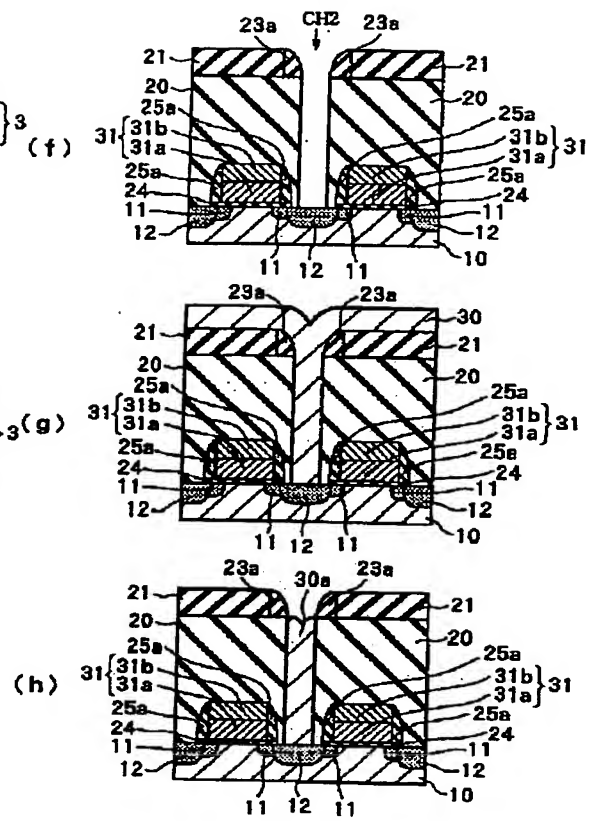
【 図 2 7 】



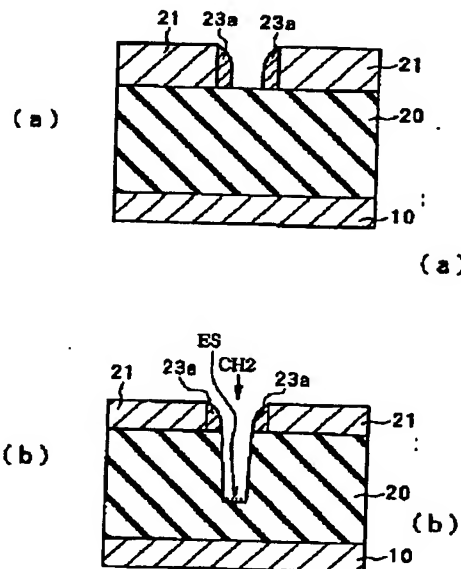
【 図 2 9 】



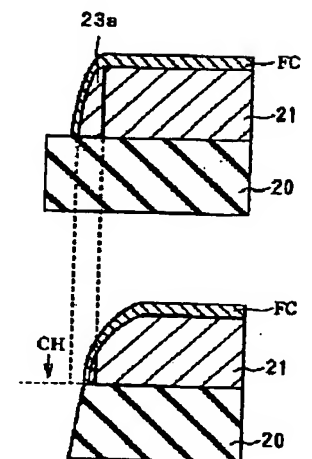
【 図 2 8 】



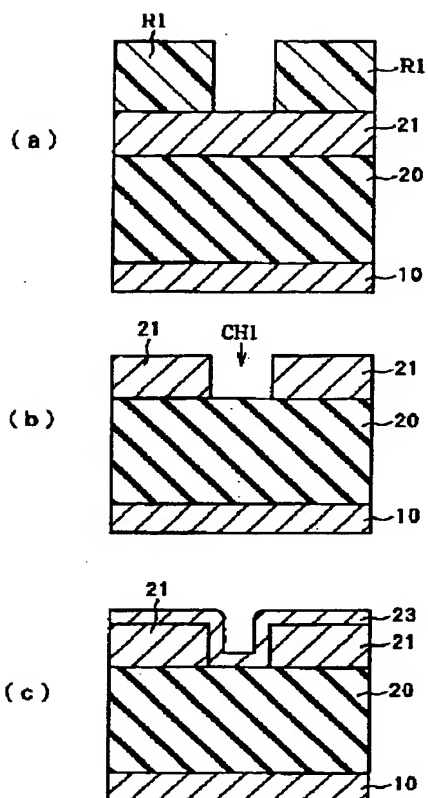
【 図 3 2 】



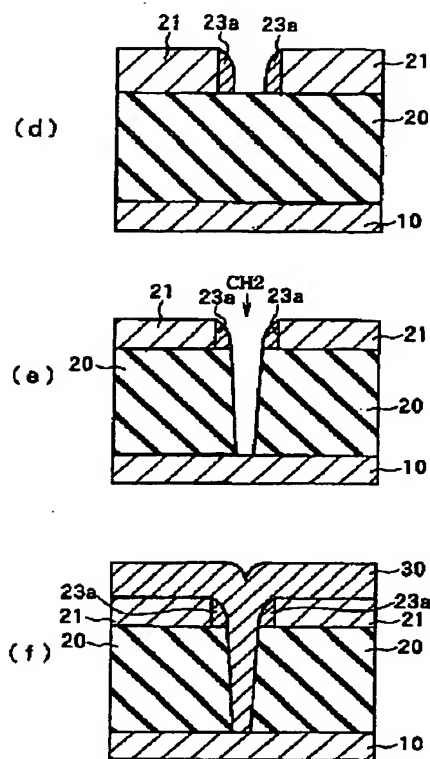
【 図 3 3 】



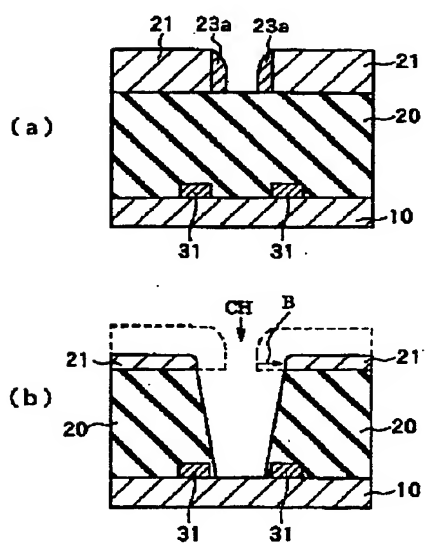
【 図 3 0 】



【 図 3 1 】



【 図 3 4 】



【 図 3 5 】

